



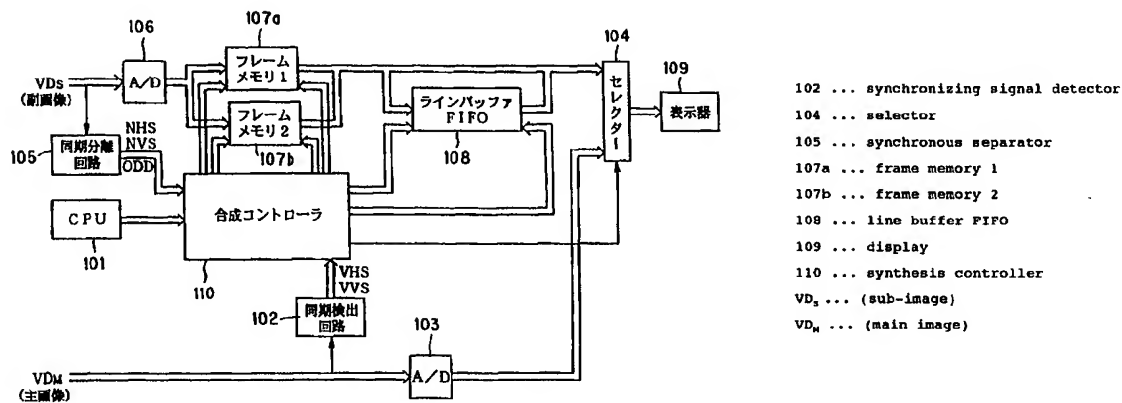
PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 G09G 5/14, H04N 5/45	A1	(11) 国際公開番号 WO98/40874	(43) 国際公開日 1998年9月17日(17.09.98)
(21) 国際出願番号 PCT/JP98/00978	(22) 国際出願日 1998年3月10日(10.03.98)	(30) 優先権データ 特願平9/70855 1997年3月10日(10.03.97) JP 特願平9/253901 1997年9月18日(18.09.97) JP	(81) 指定国 JP, US. 添付公開書類 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) 株式会社 小松製作所(KOMATSU LTD.)(JP/JP) 〒107-0052 東京都港区赤坂2丁目3番6号 Tokyo, (JP)			
(72) 発明者 ; および			
(75) 発明者 / 出願人 (米国についてのみ) 武部 慎(TAKEBE, Makoto)(JP/JP) 〒254-0014 神奈川県平塚市四之宮2597 株式会社 小松製作所 電子システム事業部内 Kanagawa, (JP)			
(74) 代理人 弁理士 木村高久, 外(KIMURA, Takahisa et al.) 〒104-0043 東京都中央区湊1丁目8番11号 千代ビル6階 Tokyo, (JP)			

(54)Title: IMAGE SYNTHESIZING DEVICE, IMAGE CONVERSION DEVICE, AND METHODS

(54)発明の名称 画像合成装置、画像変換装置および方法



(57) Abstract

A predetermined display area P of a sub-image is synthesized and displayed in a predetermined display area Q of a main image displayed on a display (9) by an image synthesizing device. The image synthesizing device has a frame memory from which, after the data in the synthesized display area P among the sub-image data are continuously stored in the order of data input, when the scanning address of the main image data corresponds to the display region Q, the stored sub-image data are read in the order of the input, and a selector (4) to which the main image data displayed on the display (9) and the sub-image data read out of the frame memory are inputted and which, when the scanning address of the main image data corresponds to the display region Q, switches the selected channel for the main image data to a channel for the sub-image data and outputs the sub-image data to the display (9) and allow the sub-image data to be displayed on the display (9). The capacity of the frame memory for the image synthesizing can be reduced, and the sub-image can be magnified or reduced with an arbitrary magnification factor or reduction factor.

(57) 要約

表示器 9 に表示される主画像の所定の表示領域 Q 内に、副画像の所定の表示領域 P を合成して表示させる画像合成装置において、副画像データの内、合成表示領域 P 内のデータを入力順に連続的に記憶した後、主画像データの走査アドレスが表示領域 Q に対応するアドレスのとき、前記記憶した副画像データが前記入力順に読み出されるフレームメモリと、表示器 9 に表示する主画像データ、及び、フレームメモリから順次連続的に読み出された副画像データを入力し、主画像データの走査アドレスが表示領域 Q に対応するアドレスのとき、選択チャネルを主画像データから前記副画像データに切り換えて表示器 9 に出力し、この副画像データを表示させるセレクタ 4 とを備えることで、画像合成のためのフレームメモリの容量を少なくでき、また副画像を任意倍率で縮小又は拡大できる画像合成装置を提供する。

PCT に基づいて公開される国際出願のパンフレット第一頁に掲載された PCT 加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LV	ラトヴィア	SZ	スワジランド
AT	オーストリア	GB	英国	MC	モナコ	TD	チャド
AU	オーストラリア	GE	グルジア	MD	モルドヴァ	TG	トジギスタン
AZ	アゼルバイジャン	GH	ガナ	MG	マダガスカル	TM	トルクメニスタン
BA	ボスニア・ヘルツェゴビナ	GN	ギニア	MK	マケドニア共和国	TR	トルコ
BB	バルバドス	GW	ギニア・ビサウ		ラヴィニア	TT	トリニダード・トバゴ
BE	ベルギー	GR	ギリシャ	ML	マリ	UA	ウクライナ
BG	ブルガリア	GU	グアム	MN	モンゴル	UG	ウガンダ
BJ	ベナン	DE	ドイツ	MR	モロッコ	US	米国
BR	ブラジル	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
BY	ベラルーシ	IL	イスラエル	MX	メキシコ	VN	ベトナム
CA	カナダ	IN	インド	NE	ネパール	YU	ユーゴスラビア
CC	中央アフリカ共和国	IT	イタリア	NL	オランダ		ジンバブエ
CF	コンゴ	JP	日本	NO	ノルウェー		
CG	コンゴ		ケニア	NZ	ニュージーランド		
CH	スイス		ギニア	PL	ポーランド		
CI	コートボアール		北朝鮮	PT	ポルトガル		
CM	カメルーン		韓国	RO	ルーマニア		
CN	中国		カサハクスタン	RU	ロシア		
CU	キューバ		セルビア	SE	スウェーデン		
CY	キプロス		スリランカ	SG	シンガポール		
CZ	チェコ		リベリア	SK	スロバキア		
DE	ドイツ			SL	シエラレオネ		
DK	デンマーク						
EE	エストニア						

## 明 細 書

## 画像合成装置、画像変換装置および方法

## 技術分野

この発明は、V C Aなどのノンインターレース画像の任意の領域にN T S C等のインターレース画像を等倍、拡大又は縮小して任意の大きさで合成表示することが可能な画像合成装置に関する。

## 背景技術

C C Dカメラ等のN T S C方式のインターレース画像は、奇数フィールドおよび偶数フィールドを有し、奇数フィールドの画像と偶数フィールドの画像で1フレーム（1画面）の画像を構成している。画像の走査は、奇数フィールドと偶数フィールドとがフィールド単位に交互に行われ、2走査で1画面の画像を表示する。

これに対し、V G Aなどのノンインターレース走査では、上記のような飛び越しなしで、1回の走査で1画面を表示するものであり、表示画像はインターレース走査に比べ、ちらつきが少なくなる。

このように、表示の際の走査の手法には2種類が存在するので、従来よりインターレース信号をノンインターレース信号に変換して、これをノンインターレースの表示画面の一部または全領域に表示させるために、多くの技術が提案されている。

特開平5-114026号公報はその一従来技術であり、この従来技術では、主画像データ（ノンインターレース信号）を格納する主画像メモリと、副画像データ（インターレース信号）をこのフレームメモリと対応するアドレスに記憶する主画像メモリと同じ容量の副画像メモリとを有し、副画像メモリに記憶された副画像の一部領域を主画像表示領域の一部領域に合成表示するに当たって、前記副画像メモリの走査アドレスが合成表示する領域に対応する所定のアドレスになると副画像メモリから副画像を読み出すとともに、前記主画像の走査アドレスが副画像を表示すべきアドレスになると、C R T表示器に出力する表示データを主画像データから前記読み出した副画像データに切り替えるようにして副画像デー

タを主画像画面上に合成するようにしている。

すなわち、この従来技術では、副画像を全て記憶できる主画像メモリと同じ容量の副画像メモリを用意し、この副画像メモリからのデータ読み出しタイミングを制御することで、一部の副画像を主画像の表示画面上に合成するようにしている。

このようにこの従来技術では、主画像データ記憶用のフレームメモリと、これと同じメモリ容量の副画像データ記憶用の画像メモリとの両方を設けているので、フレームメモリ容量の2倍のメモリが必要となっている。このため、回路を構成した場合にメモリ実装面積が大きくなって装置全体が大型となり、またコスト的にも高価になると言う問題がある。

また、この従来技術では、副画像を縮小または拡大して合成する場合に、倍率が「 $1/2m$ 」または「 $2m$ 」等のように2の累乗に制限されているので、任意の倍率を設定できず、副画面を所望の大きさに正確に縮小または拡大したいと言う要求を満足できないという問題もある。

また、この従来技術では、副画像メモリは、各画素のデータがCRT表示装置のX-Yアドレスに1対1に対応するようなアドレス方式によってデータが記憶されている。すなわち、CRT表示装置が横640ドット×縦480ドットで、1ドットの画像が1バイトであるとする、図10に示すようなメモリ空間に副画像データを記憶するようにしている。

640ドット分の画像データは640バイトに相当するので、各水平同期走査ラインには、メモリアドレスの下位10ビットで構成される1024バイトのうちの640バイトを対応させる。また、垂直方向には、480ライン必要なので、アドレスの上位9ビット（512個）のうちの480個を振り当てることになる。

しかしながら、このように構成した副画像メモリでは、480ラインの各水平同期走査ラインの毎の残り384バイトで占められるエリアAと、512ラインの上位アドレス空間の内の残り32ラインで占められるエリアBが未使用となり、必要なメモリ容量以上の個数のメモリが必要になったりして、コスト的、実装面積的な面でも不利となる。



本発明は、上記の問題点に着目してなされたものであり、主画像と副画像を合成するための画像データのメモリ容量を少なくでき、また副画像の縮小又は拡大の倍率を任意に設定できる画像合成装置を提供することを目的としている。

また、この発明は、1個のフレームメモリのみ用いてノンインターレース信号をノンインターレース信号に変換することができるようにして、低コスト化を図る画像変換装置及び方法を提供することを目的とする。

また、この発明では、1個のシリアルアクセスメモリのみを用いて、ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域にインターレース走査の副画像の中の所定の抽出領域を合成して表示できるようにして低コスト化を図る画像合成装置を提供することを目的とする。

#### 発明の開示

請求の範囲第1項に記載の発明は、表示器に表示される主画像の所定の表示領域Q内に、副画像の所定の表示領域Pを合成して表示させる画像合成装置において、

副画像データの内、合成されるべき前記表示領域P内のみのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域Qに対応するアドレスのとき、前記記憶した副画像データが入力された順に読み出されるフレームメモリと、前記表示器に表示する前記主画像データ及び前記フレームメモリから順次読み出された前記副画像データを入力し、前記主画像データの走査アドレスが主画像の前記表示領域Qに対応するアドレスのとき、選択チャンネルをこの主画像データから前記副画像データに切り換えて表示器に出力し、この副画像データを表示させるセクタとを備えた構成としている。

請求の範囲第1項に記載の発明によると、副画像を入力時に、副画像の合成すべき表示領域に相当する走査アドレスになったら、副画像データを入力した順に連続的にフレームメモリに書き込み、この後、主画像データを主画像の合成表示領域Qに表示するときに、表示アドレスに対応して前記入力順に連続的に前記フレームメモリから副画像データを読み出し、主画像データからこの読み出した副画像データに切り換えて、表示器に表示させることにより、副画像が等倍に合成

されて表示される。この場合、副画像はインターレース又はノンインターレースのいずれの方式でもよい。このようにこの請求項1の発明では、フレームメモリの連続したアドレス空間に副画像を記憶するようにしているので、フレームメモリの容量を小さくすることができる。

請求の範囲第2項に記載の発明では、表示器に表示される主画像の所定の表示領域Q内に、副画像の所定の表示領域Pを合成して表示させる画像合成装置において、

インターレースの副画像データの内、合成されるべき前記表示領域P内の奇数フィールドのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域Qに対応する奇数ラインのアドレスのとき、前記記憶した副画像データが前記入力順に読み出される第1のフレームメモリと、インターレースの副画像データの内、合成されるべき前記表示領域P内の偶数フィールドのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域Qに対応する偶数ラインのアドレスのとき、前記記憶した副画像データが前記入力順に読み出される第2のフレームメモリと、前記表示器に表示する前記主画像データ、及び、前記第1のフレームメモリまたは第2のフレームメモリから順に読み出された前記副画像データを入力し、前記主画像データの走査アドレスが前記表示領域Qに対応するアドレスのとき、選択チャネルをこの主画像データから前記副画像データに切り換えて表示器に出力し、この副画像データを等倍で表示させるセクタとを備えた構成としている。

請求の範囲第2項に記載の発明によると、インターレースの副画像を入力時に、副画像の合成すべき表示領域に相当する走査アドレスになったら、奇数フィールドの副画像データを入力した順に連続的に第1のフレームメモリ（FIFOシリアルメモリ）に書き込み、偶数フィールドの副画像データを入力した順に連続的に第2のフレームメモリ（FIFOシリアルメモリ）に書き込む。そして、この後、主画像データを合成表示領域Qに表示するときに、表示アドレスに対応して奇数ラインのときは前記第1のフレームメモリから、また偶数ラインのときは前記第2のフレームメモリから、副画像データを前記入力順に連続的に読み出し、

主画像データからこの読み出した副画像データに切り換えて、表示器に表示させる。これによって、インターレースの副画像が等倍に合成されて主画像の表示領域Qに表示される。したがって、合成すべき副画像データのみをフレームメモリに記憶し、合成時に主画像データからこの記憶した副画像データに切り換えているので、フレームメモリの容量を小さくできる。

請求の範囲第3項に記載の発明は、請求の範囲第1項または第2項に記載の画像合成装置において、

前記フレームメモリは、副画像の前記表示領域Pを所定倍率に縮小して主画像の前記表示領域Q内に合成表示するとき、副画像データを入力時に副画像データの走査アドレスが前記表示領域Pに対応するアドレスのとき、垂直方向の各ラインを前記所定倍率分の1に間引き、この間引いた各ライン毎に水平方向の走査アドレスが前記表示領域Pに対応するアドレスのとき、さらに水平方向に前記所定倍率分の1に間引いて入力された副画像データを記憶し、この後、前記主画像データの走査アドレスが主画像の前記表示領域Qに対応するアドレスのとき、前記間引いて記憶した副画像データが前記入力順に連続的に読み出される構成としている。

請求の範囲第3項に記載の発明によると、副画像の表示領域Pを所定倍率に縮小して主画像の表示領域Q内に合成表示するとき、副画像データの前記表示領域Pに相当するデータのみに対して、垂直方向の各ラインを前記所定倍率分の1に間引き、この間引いた各ライン毎に水平方向に前記所定倍率分の1に間引いてフレームメモリに連続的に書き込み、この後、主画像データの合成表示領域を表示するとき、フレームメモリから前記記憶した副画像データを入力順に読み出し、主画像データからこの読み出した副画像データに切り換えて表示することにより、副画像が縮小されて合成表示される。このとき、合成されるべき副画像データのみを任意の倍率に縮小してフレームメモリに記憶するので、フレームメモリの容量を小さくでき、また、任意の倍率の縮小合成も可能となるので、作業者の要求倍率を満足できる。

請求の範囲第4項に記載の発明は、請求の範囲第1項または第2項に記載の画

像合成装置において、

前記フレームメモリから読み出された副画像データを入力し、入力順にこの副画像データを記憶した後、この記憶した副画像データを前記入力順に読み出されるラインバッファFIFOを付設すると共に、

前記フレームメモリは、副画像の前記表示領域Pを所定倍率に拡大して主画像の前記表示領域Q内に合成表示するとき、副画像データの内、前記表示領域P内のみのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域Qに対応するアドレスのとき、前記所定倍率に相当する所定ライン数毎に1ラインずつ、前記記憶した副画像データの内1ライン分のデータを前記主画像の水平ドットクロックの周波数に対して前記所定倍率分の1のサイクルで読み出されるようにし、

前記ラインバッファFIFO8、この読み出された1ライン分の副画像データを入力された順に前記主画像の水平ドットクロックと同期して記憶した後、前記主画像データの前記表示領域Qの前記所定倍率に相当する所定ライン毎の残りのラインで、前記記憶された1ライン分の副画像データを前記入力順に各ライン毎に繰り返して出力する構成としている。

請求の範囲第4項に記載の発明によると、副画像データの合成すべき表示領域に相当するデータのみを入力順に連続的にフレームメモリに書き込み、この後、主画像データの合成表示領域を表示するとき、主画像データから切り換えて、前記記憶した副画像データを以下のように水平方向及び垂直方向に拡大しながら合成表示する。すなわち、所定の拡大倍率に相当する所定ライン数毎に1ラインずつ、前記記憶した副画像データの1ライン分を主画像の水平同期信号の周波数の前記拡大倍率分の1のサイクルでフレームメモリから読み出すことにより、水平方向に拡大して表示する。そして、これと共に、この拡大した副画像データをラインバッファFIFOに1ライン分書き込む。さらに、前記所定ライン数の残りのラインでは、このラインバッファFIFOに記憶された副画像を各ライン毎に入力順に連続的に読み出して、ライン毎に繰り返して表示器に表示する。これによって、副画像を水平及び垂直の両方向に前記所定倍率だけ拡大して表示するこ

とができる。したがって、合成されるべき副画像データのみをフレームメモリに記憶した後に、任意の倍率に拡大して表示するので、フレームメモリの容量を小さくでき、また、任意の倍率の拡大合成も可能となるので、作業者の要求倍率を満足できる。

請求の範囲第5項に記載の発明は、請求の範囲第1項～第4項のいずれかに記載の画像合成装置において、前記セクタ4は、A/D変換された前記主画像データをメモリを介さずに入力し、前記合成される副画像データと切り換えて前記表示器に出力して表示する構成としている。

請求の範囲第5項に記載の発明によると、画像合成するための主画像データを記憶するメモリを必要とせずに、主画像データを、合成すべき副画像データと切り換えて表示器に直接出力しているので、画像データのメモリを小さくすることができる。

請求の範囲第6項に記載の発明は、請求の範囲第4項に記載の画像合成装置において、

前記ラインバッファFIFOは、前記フレームメモリから読み出された1ライン分の副画像データを入力した順に前記主画像の水平ドットクロックの周波数に対して前記所定倍率分の1のサイクルで記憶した後、前記主画像データの前記表示領域Qの前記所定倍率に相当する所定ライン毎の残りのラインで、前記記憶された1ライン分の副画像データを前記入力順に前記主画像の水平ドットクロックCKRの周波数に対して前記所定倍率分の1のサイクルで読み出し、各ライン毎に繰り返して出力する構成としている。

請求の範囲第6項に記載の発明によると、副画像データの合成すべき表示領域に相当するデータのみを入力順に連続的にフレームメモリに書き込み、この後、主画像データの合成表示領域を表示するとき、主画像データから切り換えて、前記記憶した副画像データを以下のように水平方向及び垂直方向に拡大しながら合成表示する。すなわち、所定の拡大倍率に相当する所定ライン数毎に1ラインずつ、前記記憶した副画像データの1ライン分を主画像の水平同期信号の周波数の前記拡大倍率分の1のサイクルでフレームメモリから読み出すことにより、水平

方向に拡大して表示する。これと共に、この読み出した副画像データをラインバッファFIFOに等倍のまま、つまり前記フレームメモリから読み出したのと同様に前記所定倍率分の1のサイクルで書き込む。そして、前記所定ライン数の残りのラインでは、入力した順に連続的にこのラインバッファFIFOから主画像の水平同期信号の周波数の前記拡大倍率分の1のサイクルで副画像データが読み出されて拡大表示され、これを各ライン毎に繰り返す。これによって、副画像を水平及び垂直の両方向に前記所定倍率だけ拡大して表示することができる。したがって、合成されるべき副画像データのみをフレームメモリに記憶した後に任意の倍率に拡大して表示するので、フレームメモリの容量を小さくできる。また、ラインバッファFIFOにも等倍のまま記憶し、読み出す時に所定倍率に拡大して表示するので、ラインバッファFIFOのメモリ容量も小さくできる。さらに、任意の倍率の拡大合成が可能となるので、作業者の要求倍率を満足することができる。

請求の範囲第7項に対応する発明では、奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換装置において、

書き込み動作と読出し動作とが非同期で行え、入力されたインターレース走査の画像信号を記憶する1つのフレームメモリと、前記インターレース走査の画像信号のうちの一方のフィールドの各ラインの画像信号を1ラインの画像データに対応するアドレス領域ずつ空けて前記フレームメモリの先頭アドレスを起点とした間欠したアドレス領域に該一方のフィールドのラインの順番に対応して記憶する第1の書き込み制御手段と、前記インターレース走査の画像信号のうちの他方のフィールドの各ラインの画像信号を前記フレームメモリの間欠したアドレス領域間に形成された各空きアドレス領域に該他方のフィールドのラインの順番に対応して記憶する第2の書き込み制御手段と、前記第1及び第2の書き込み制御手段によって前記1つのフレームメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶されたインターレース信号を先頭アドレスからアドレスの順番通りに読み出す読出し制御手段と具え、前記1つのフレームメモリを介

してインターレース信号をノンインターレース信号に変換するようにしたことを特徴とする。

かかる請求の範囲第7項に対応する発明では、最初、一方のフィールドのインターレース画像をフレームメモリの飛び飛びのアドレス領域に記憶し、次に他方のフィールドのインターレース画像を前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的にフレームメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りにインターレース画像を記憶する。したがって、この記憶された画像をアドレスの順番通りに読み出すことで、インターレース信号はノンインターレース信号に変換される。したがってこの発明では、1つのフレームメモリのみを用いてインターレース信号をノンインターレース信号に変換することができ、これにより装置コストが低減されるとともに、実装面積の面でも有利となる。

請求の範囲第8項に対応する発明では、1つのフレームメモリを介して奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換方法であって、

前記インターレース走査の画像信号のうちの一方のフィールドの各ラインの画像信号を1ラインの画像データに対応するアドレス領域ずつ空けて前記フレームメモリの先頭アドレスを起点とした間欠したアドレス領域に該一方のフィールドのラインの順番に対応して記憶する第1の工程と、前記インターレース走査の画像信号のうちの他方のフィールドの各ラインの画像信号を前記フレームメモリの間欠したアドレス領域間に形成された各空きアドレス領域に該他方のフィールドのラインの順番に対応して記憶する第2の工程と、前記1つのフレームメモリに記憶されたインターレース信号を先頭アドレスからアドレスの順番通りに読み出す第3の工程とを具えるようにしたことを特徴とする。

かかる請求の範囲第8項に対応する発明では、最初、一方のフィールドのインターレース画像をフレームメモリの飛び飛びのアドレス領域に記憶し、次に他方のフィールドのインターレース画像を前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的にフレームメモリの連続したアドレス領域にノン

インターレース走査のラインの順番通りにインターレース画像を記憶する。したがって、この記憶された画像をアドレスの順番通りに読み出すことで、インターレース信号はノンインターレース信号に変換される。このようにこの発明では、1つのフレームメモリのみを用いてインターレース信号をノンインターレース信号に変換することができ、これにより装置コストが低減されるとともに、実装面積の面でも有利となる。

請求の範囲第9項に対応する発明では、奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換装置において、書込み動作と読出し動作とが非同期で行え、入力されるクロック信号に同期してインクリメントされるアドレス領域にインターレース走査の画像信号を順次記憶する1つのシリアルアクセスメモリと、入力されるインターレース走査の画像信号から制御用同期信号を抽出し、該抽出信号に基づき前記シリアルアクセスメモリに対する書込み用クロック信号を形成する書込みクロック形成手段と、前記書込み用クロック信号より周波数の高い高速クロック信号を発生する高速クロック信号発生手段と、前記インターレース走査の画像信号の一方のフィールドの画像データが入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら1ライン分のインターレース走査の画像データの書込みを行う第1の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけインクリメントする第2の動作とを前記シリアルアクセスメモリの先頭アドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの間欠したアドレス領域に前記一方のフィールドの画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、前記インターレース走査の画像信号のうちの他方のフィールドの画像が入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら1ライン分のインターレース走査の画像データの書込みを行う第3の動作と、データ書込みを行わずに前記高速クロック信号



に同期して前記シリアルアクセスメモリの書込みアドレスを 1 ラインの画像データに対応するアドレス領域分だけインクリメントする第 4 の動作とを前記先頭アドレスから 1 ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの画像データを前記他方のフィールドのラインの順番に対応して記憶する第 2 の書込み制御手段と、前記第 1 及び第 2 の書込み制御手段によって前記シリアルアクセスメモリに記憶されたインターレース走査の画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段とを具え、前記 1 つのシリアルアクセスメモリを介してインターレース信号をノンインターレース信号に変換するようにしている。

この請求の範囲第 9 項に対応する発明では、最初、インターレース走査の画像信号の一方のフィールドの所要の画像データをシリアルアクセスメモリの飛び飛びのアドレス領域に記憶し、次に他方のフィールドの所要の画像データを前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的にインターレース走査の画像データをシリアルアクセスメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶する。したがって、この記憶された画像データをアドレスの順番通りに読み出すことでインターレース信号をノンインターレース信号に変換することができる。このようにこの発明では、1 つのシリアルアクセスメモリに 1 フレーム分のインターレース画像信号を記憶できるようにしたので、シリアルアクセスメモリの個数を 1 個に削減できると共に、メモリの記憶領域をより有効に活用することができるようになる。

請求の範囲第 10 項に対応する発明では、ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域に奇数フィールド及び偶数フィールドから成るインターレース走査の副画像の中の所定の抽出領域に含まれる副画像を合成して表示する画像合成装置において、

書込み動作と読出し動作とが非同期で行え、入力されるクロック信号に同期して進められるアドレス領域に副画像信号を順次記憶する 1 つのシリアルアクセス

メモリと、入力される副画像信号から制御用同期信号を抽出し、該抽出信号に基づき前記シリアルアクセスメモリに対する書込み用クロック信号を形成する書込みクロック形成手段と、前記書込み用クロック信号より周波数の高い高速クロック信号を発生する高速クロック信号発生手段と、前記副画像信号のうちの一方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら前記一方のフィールドの前記表示領域に表示すべき1ライン分のデータの書込みを行う第1の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき1ラインの副画像データに対応するアドレス領域分だけインクリメントする第2の動作とを前記シリアルアクセスメモリの先頭アドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの間欠したアドレス領域に前記一方のフィールドの前記表示領域に表示すべき画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、前記副画像信号のうちの他方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら前記他方のフィールドの前記表示領域に表示すべき1ライン分のデータの書込みを行う第3の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき1ラインの副画像データに対応するアドレス領域分だけインクリメントする第4の動作とを前記先頭アドレスから前記表示領域に表示すべき1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの前記表示領域に表示すべき画像データを前記他方のフィールドのラインの順番に対応して記憶する第2の書込み制御手段と、前記主画像の走査アドレスが前記所定の表示領域に

対応するアドレスであるとき、前記第 1 及び第 2 の書込み制御手段によって前記シリアルアクセスメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段と、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるときは前記シリアルアクセスメモリから出力された副画像を選択して出力する切換手段とを具えるようにしている。

この請求の範囲第 10 項に対応する発明では、ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域に奇数フィールド及び偶数フィールドから成るインターレース走査の副画像の中の所定の抽出領域に含まれる副画像を合成して表示するに当たり、最初、一方のフィールドの所要の副画像をシリアルアクセスメモリの飛び飛びのアドレス領域に記憶し、次に他方のフィールドの所要の副画像を前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的に副画像をシリアルアクセスメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶する。したがって、この記憶された副画像をアドレスの順番通りに読み出し、これを主画像に切り替えて表示器に出力することで、主画像に副画像を合成することができる。このようにこの発明では、1 つのシリアルアクセスメモリに 1 フレーム分のインターレース画像信号を記憶できるようにしたので、シリアルアクセスメモリの個数を 1 個に削減できると共に、メモリの記憶領域をより有効に活用することができるようになる。また、インターレース画像信号は、連続したアドレス領域に記憶されるので、主画像への合成の際、その読出しのためのアドレス制御が簡単になる。

請求の範囲第 11 項に対応する発明では、ノンインターレース走査の主画像が表示される表示画面上の一部領域に奇数フィールド及び偶数フィールドから成るインターレース走査の副画像の中の所定の抽出領域に含まれる副画像を縮小して表示しようとするものであり、請求の範囲第 4 項の構成に対し、前記副画像の縮小率を設定する縮小率設定手段と、前記縮小率設定手段によって設定された縮小率に応じて前記表示画面上の前記副画像が表示される表示領域を縮小設定する表

示領域設定手段とを追加し、前記第 1 の書込み制御手段は、前記第 1 の動作を実行する際、前記所定の抽出領域に含まれる一方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第 2 の動作を実行する際に、前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき縮小後の 1 ラインの副画像データに対応するアドレス領域分だけインクリメントし、前記第 2 の書込み制御手段は、前記第 3 の動作を実行する際、前記所定の抽出領域に含まれる他方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第 4 の動作を実行する際に、前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき縮小後の 1 ラインの副画像データに対応するアドレス領域分だけインクリメントし、かつこの第 3 の動作と第 4 の動作とを前記先頭アドレスから前記表示領域に表示すべき縮小後の 1 ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行し、前記読出し制御手段は、前記主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスであるとき、前記第 1 及び第 2 の書込み制御手段によって前記シリアルアクセスメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出し、前記切換手段は、主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記縮小設定された表示領域に対応するアドレスであるときは前記シリアルアクセスメモリから出力された副画像を選択して出力するようにしている。

かかる請求の範囲第 1 項に対応する発明では、シリアルアクセスメモリに対するデータ書込みタイミングを縮小率に対応して制御することにより、縮小率に対応して縮小した一方のフィールドの副画像をシリアルアクセスメモリの飛び飛びのアドレス領域に記憶し、次に縮小率に対応して縮小した他方のフィールドの副画像を前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的に縮小した副画像をシリアルアクセスメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶する。したがって、この記憶された

副画像をアドレスの順番通りに読み出し、これを主画像に切り替えて表示器に出力することで、縮小された副画像を主画像画面上に合成することができる。このようにこの発明では、1個のシリアルアクセスメモリのみを用いて縮小した副画像を主画面上に合成できるようになり、シリアルアクセスメモリの個数を1個に削減できると共に、メモリの記憶領域をより有効に活用することができるようになる。また、縮小されたインターレース画像信号は、連続したアドレス領域に記憶されるので、主画像への合成の際、その読出しのためのアドレス制御が簡単になる。

請求の範囲第12項に対応する発明では、奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換装置において、

書込み動作と読出し動作とが非同期で行え、入力されるアドレス信号に対応するアドレス領域にインターレース走査の画像信号を順次記憶する1つのビデオメモリと、前記インターレース走査の画像信号の一方のフィールドの画像データが入力されているとき、前記ビデオメモリの書込みアドレスを進めながら1ライン分のインターレース走査の画像データの書込みを行う第1の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけスキップさせる第2の動作とを前記ビデオメモリの先頭アドレスを起点として交互に実行することにより、前記ビデオメモリの間欠したアドレス領域に前記一方のフィールドの画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、前記インターレース走査の画像信号のうちの他方のフィールドの画像が入力されているとき、前記ビデオメモリの書込みアドレスを進めながら1ライン分のインターレース走査の画像データの書込みを行う第3の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけスキップさせる第4の動作とを前記先頭アドレスから1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記ビデオメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域

間に形成された各空きアドレス領域に前記他方のフィールドの画像データを前記他方のフィールドのラインの順番に対応して記憶する第2の書込み制御手段と、前記第1及び第2の書込み制御手段によって前記ビデオメモリに記憶されたインターレース走査の画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段とを具え、前記1つのビデオメモリを介してインターレース信号をノンインターレース信号に変換するようにしている。

かかる請求の範囲第12項の発明では、インターレース走査の画像を記憶するメモリとして通常のアドレス指定によってそのアドレス領域が指定される通常のビデオメモリを用いる。すなわち、最初、インターレース走査の画像信号の一方のフィールドの所要の画像データをビデオメモリの飛び飛びのアドレス領域に記憶し、次に他方のフィールドの所要の画像データを前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的にインターレース走査の画像データをビデオメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶する。したがって、この記憶された画像データをアドレスの順番通りに読み出すことでインターレース信号をノンインターレース信号に変換することができる。このようにこの発明では、1つのビデオメモリに1フレーム分のインターレース画像信号を記憶できるようにしたので、ビデオメモリの個数を1個に削減できると共に、メモリの記憶領域をより有効に活用することができるようになる。

請求の範囲第13項に対応する発明では、ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域に奇数フィールド及び偶数フィールドから成るインターレース走査の副画像の中の所定の抽出領域に含まれる副画像を合成して表示する画像合成装置において、

書込み動作と読出し動作とが非同期で行え、入力されるアドレス信号に対応するアドレス領域に副画像信号を順次記憶する1つのビデオメモリと、前記副画像信号のうちの一方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記ビデオメモリの書込みアドレスを進めながら前記一方のフィールドの前記表示領域に表示すべき1ラ

イン分のデータの書込みを行う第1の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき1ラインの副画像データに対応するアドレス領域分だけスキップさせる第2の動作とを前記ビデオメモリの先頭アドレスを起点として交互に実行することにより、前記ビデオメモリの間欠したアドレス領域に前記一方のフィールドの前記表示領域に表示すべき画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、前記副画像信号のうちの他方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記ビデオメモリの書込みアドレスを進めながら前記他方のフィールドの前記表示領域に表示すべき1ライン分のデータの書込みを行う第3の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき1ラインの副画像データに対応するアドレス領域分だけスキップさせる第4の動作とを前記先頭アドレスから前記表示領域に表示すべき1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記ビデオメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの前記表示領域に表示すべき画像データを前記他方のフィールドのラインの順番に対応して記憶する第2の書込み制御手段と、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるとき、前記第1及び第2の書込み制御手段によって前記ビデオメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段と、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるときは前記ビデオメモリから出力された副画像を選択して出力する切換手段とを具えるようにした。

この請求の範囲第13項の発明でも、インターレース走査の副画像を記憶するメモリとして通常のアドレス指定によってそのアドレス領域が指定される通常のビデオメモリを用いる。すなわち、ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域に奇数フィールド及び偶数フィールドから成るイ

インターレース走査の副画像の中の所定の抽出領域に含まれる副画像を合成して表示するに当たり、最初、一方のフィールドの所要の副画像をビデオメモリの飛び飛びのアドレス領域に記憶し、次に他方のフィールドの所要の副画像を前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的に副画像をビデオメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶する。したがって、この記憶された副画像をアドレスの順番通りに読み出し、これを主画像に切り替えて表示器に出力することで、主画像に副画像を合成することができる。このようにこの発明では、1つのビデオメモリに1フレーム分のインターレース画像信号を記憶できるようにしたので、ビデオメモリの個数を1個に削減できると共に、メモリの記憶領域をより有効に活用することができるようになる。また、インターレース画像信号は、連続したアドレス領域に記憶されるので、主画像への合成の際、その読出しのためのアドレス制御が簡単になる。

請求の範囲第14項の発明では、請求の範囲第13項の発明に対し、前記副画像の縮小率を設定する縮小率設定手段と、前記縮小率設定手段によって設定された縮小率に応じて前記表示画面上の前記副画像が表示される表示領域を縮小設定する表示領域設定手段とを更に具備するとともに、

前記第1の書込み制御手段は、前記第1の動作を実行する際、前記所定の抽出領域に含まれる一方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第2の動作を実行する際に、前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき縮小後の1ラインの副画像データに対応するアドレス領域分だけスキップし、前記第2の書込み制御手段は、前記第3の動作を実行する際、前記所定の抽出領域に含まれる他方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第4の動作を実行する際に、前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき縮小後の1ラインの副画像データに対応するアドレス領域分だけスキップし、かつこの第3の動作と第4の動作とを前記先頭アドレスから前記表示領域に表示すべき縮小後の1ラインの画像データに対応するアドレ



ス領域分だけ進んだアドレスを起点として交互に実行し、前記読出し制御手段は、前記主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスであるとき、前記第 1 及び第 2 の書込み制御手段によって前記ビデオメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出し、前記切換手段は、主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記縮小設定された表示領域に対応するアドレスであるときは前記ビデオメモリから出力された副画像を選択して出力するようにした。

かかる請求の範囲第 1 4 項に対応する発明では、ビデオメモリに対するデータ書込みタイミングを縮小率に対応して制御することにより、縮小率に対応して縮小した一方のフィールドの副画像をビデオメモリの飛び飛びのアドレス領域に記憶し、次に縮小率に対応して縮小した他方のフィールドの副画像を前記飛び飛びのアドレス領域間の空き領域に記憶することにより、結果的に縮小した副画像をビデオメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶する。したがって、この記憶された副画像をアドレスの順番通りに読み出し、これを主画像に切り替えて表示器に出力することで、縮小された副画像を主画像画面上に合成することができる。このようにこの発明では、1 個のビデオメモリのみを用いて縮小した副画像を主画面上に合成できるようになり、ビデオメモリの個数を 1 個に削減できると共に、メモリの記憶領域をより有効に活用することができるようになる。また、縮小されたインターレース画像信号は、連続したアドレス領域に記憶されるので、主画像への合成の際、その読出しのためのアドレス制御が簡単になる。

また、請求の範囲第 1 5 項の発明では、請求の範囲第 1 3 項のビデオメモリは、書込み動作と読出し動作とが非同期で行え、前記第 1 及び第 2 の書込み制御手段によって書き込まれた副画像信号を順次記憶するランダムアクセスメモリ手段と、このランダムアクセスメモリ手段からのデータ転送によって少なくとも副画像信号 1 ライン分を一時記憶するシリアルアクセスメモリ手段と、入力されるシリア

ルクロック信号に基づいて前記シリアルアクセスメモリ手段からのデータ読出し制御を行う第1の読出し制御手段とを有するものとする。

そして、入力される主画像信号から制御用同期信号を抽出し、該抽出信号に基づき前記ビデオメモリに対する読出し用クロック信号を形成する読出しクロック形成手段を具備するとともに、前記主画像が表示される表示画面は、前記読出しクロック信号に同期して表示動作を行うものであり、

前記副画像の拡大率Mを設定する拡大率設定手段と、前記拡大率設定手段によって設定された拡大率Mに応じて前記表示画面上の前記副画像が表示される表示領域を拡大設定する表示領域設定手段とを更に具備するとともに、

前記読出し制御手段は、

前記ランダムアクセスメモリ手段の先頭アドレスを初期値とし、主画像のM回の副走査毎に1回前記第1および第2の書込み制御手段によってスキップされるアドレス量ずつ増加されたアドレスを発生するアドレス発生手段と、前記主画像の副走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスであるとき、主画像のM回の副走査毎に1回、前記アドレス発生手段の出力アドレスを転送開始アドレスとして前記データ転送を行わせる第2の読出し制御手段と、前記主画像の走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスであるとき、前記読出しクロック信号の周波数を前記拡大率に応じて $1/M$ に分周したシリアルクロック信号を形成し、該形成したシリアルクロック信号を前記第2の読出し制御手段に入力し、前記シリアルアクセスメモリ手段に一時記憶された副画像信号のうちの前記第2の書込み制御手段によってスキップされるアドレス量に対応するデータを $1/M$ の周波数で出力させる主走査方向拡大手段と、前記主画像の走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスであるとき、前記シリアルアクセスメモリ手段に一時記憶された副画像信号を主画像の副走査に同期してM回連続して出力する副走査方向拡大手段とを有し、

前記切換手段は、主画像の走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスでないときは主画像を選択し、前記主画

像の走査アドレスが前記拡大設定された表示領域に対応するアドレスであるときは前記ビデオメモリから出力された副画像を選択して出力するようにした。

かかる請求の範囲第 15 項の発明では、通常のビデオメモリに内蔵されているシリアルアクセスメモリを用いて拡大した副画像を主画像にスーパーインポーズできるようにしたので、請求の範囲第 4 項および第 6 項で用いていたラインバッファ F I F O が必要なくなり、その回路構成を簡単化できるとともに、低コスト化を図ることができる。

#### 図面の簡単な説明

図 1：本発明に係わる画像合成装置のハード構成ブロック図。

図 2：本発明に係わる画像合成装置の画像信号の水平同期信号及び垂直同期信号の説明図。

図 3：本発明に係わる画像合成装置のフレームメモリでの副画像データ書き込み順序及び読み出し順序の説明図。

図 4：本発明に係わる画像合成装置の合成コントローラのハード構成ブロック図。

図 5：本発明に係わる画像合成装置の P L L 回路の説明図。

図 6：本発明に係わる画像合成装置の合成コントローラにおける副画像入力制御回路の詳細ブロック図。

図 7：本発明に係わる画像合成装置の副画像表示領域の座標説明図。

図 8：本発明に係わる画像合成装置の合成コントローラにおける副画像出力制御回路の詳細ブロック図。

図 9：本発明に係わる画像合成装置の主画像表示領域の座標説明図。

図 10：従来技術の画像合成装置のフレームメモリのアドレス説明図。

図 11：この発明の他の実施形態のシステム全体を示すブロック図。

図 12：主副画像の合成画面を示す図。

図 13：副画像中での合成用抽出領域を示す図。

図 14：フレームメモリでの副画像記憶態様を示す図。

図 15：副画像を書き込む際の概念的タイムチャート。

図 1 6 : 書込み制御系を示すブロック図。

図 1 7 : 読出し制御系を示すブロック図。

図 1 8 : 書込み制御に用いる各種信号のタイムチャート。

図 1 9 : この発明の他の実施形態のシステム全体を示すブロック図。

図 2 0 : ビデオメモリでの副画像記憶態様を示す図。

図 2 1 : 図 1 9 のコントローラの内部構成例を示す図。

図 2 2 : 図 2 1 のライトコントローラの内部構成例を示す図。

図 2 3 : 図 2 2 のアドレスカウンタ制御回路の概念的動作を示すタイムチャート。

#### 発明を実施するための最良の形態

以下この発明の実施形態を添付図面に従って詳細に説明する。

図 1 は、本発明に係わる画像合成装置のハード構成ブロック図を示している。なお、ここではモノクロ画像信号の合成の場合を説明しているが、本発明はこれに限定されない。また、ここでは、主画像信号がいわゆるノンインターレース信号で、副画像信号がいわゆるインターレース方式のビデオ信号であるとする。

主画像のノンインターレース画像信号（以後、主画像信号と言う）VDM は同期検出回路 1 0 2 及び第 1 の A/D 変換回路 1 0 3 に入力されている。この同期検出回路 1 0 2 は主画像信号 VDM から主画像の水平同期信号 VHS 及び垂直同期信号 VVS を検出して合成コントローラ 1 1 0 に出力する。ここで、水平同期信号 VHS 及び垂直同期信号 VVS は例えば図 2 に示すような一般的な画像信号における走査同期信号を表しており、水平同期信号 VHS は各水平ライン毎に 1 回ずつ所定時間間隔で入力される信号であり、また垂直同期信号 VVS は、1 フレーム毎に 1 回ずつ画像信号の前に入力される信号である。また、前記第 1 の A/D 変換回路 1 0 3 は主画像信号 VDM の画像信号をデジタルデータ（主画像データ）に変換した後、セクタ 1 0 4 に出力する。なお、本実施形態ではモノクロ画像データを対象としており、よって、第 1 の A/D 変換回路 1 0 3 は所定ビット数（例えば 8 ビット）の分解能を有する変換回路で構成され、輝度に対応した所定段階の大きさの画像データに変換して出力している。

また、副画像のインターレース画像信号（以後、副画像信号と言う）VDS は同期分離回路 105 及び第 2 の A/D 変換回路 106 に入力されている。この同期分離回路 105 は副画像信号 VDS から副画像の水平同期信号 NHS 及び垂直同期信号 NVS を分離し、また奇数フィールド（奇数ライン全体の画像データの集合）と偶数フィールド（偶数ライン全体の画像データの集合）との区別を示す信号 ODD を生成して合成コントローラ 110 に出力する。ここでも、水平同期信号 NHS 及び垂直同期信号 NVS は前記同様に、図 2 に示すような一般的な画像信号における走査同期信号を表している。また、前記第 2 の A/D 変換回路 106 は副画像信号 VDS をデジタルデータ（副画像データ）に変換した後、2 つのフレームメモリ 107 a、107 b に出力する。この第 2 の A/D 変換回路 106 も前述と同じ理由により所定ビットの分解能を有する変換回路で構成されている。

前記 2 つのフレームメモリ 107 a、107 b は非同期でリード／ライト可能なシリアルアクセスメモリであり、一般的に FIFO と呼ばれる動作によって前記副画像データを記憶した後出力する。すなわち、図 3 (1) に示すように、フレームメモリ 107 a、107 b は、データの書き込みを制御するために合成コントローラ 110 から出力される後述の所定の各信号に同期して前記副画像データ（例えば、K ビットデータとする）を入力された順に記憶して行き、また、図 3 (2) に示すように、合成コントローラ 110 から出力される後述の所定の各信号に同期して前記記憶した副画像データを入力した順に連続的に出力するようになっている。なお、副画像データが両フレームメモリ 107 a、107 b の内のいずれに書き込まれるかは、後述するように、奇数フィールド、偶数フィールド、及び副画像の倍率（等倍、縮小又は拡大）によって選択される。

フレームメモリ 107 a、107 b から出力された副画像データは、セクタ 104 に入力されると共に、これと並列にラインバッファ FIFO 108 を経由してセクタ 104 に入力される。ラインバッファ FIFO 108 は非同期でリード／ライト可能な FIFO メモリで構成されており、合成コントローラ 110 からの所定のライト制御信号又はリード制御信号によって、前記フレームメモリ 107 a、107 b から出力された副画像データを順に入力し、また、この入力

した順に連続的にセクタ 104 に出力する。

セクタ 104 は、第 1 の A/D 変換回路 3 からの主画像データと、フレームメモリ 107 a、107 b 又はラインバッファ FIFO 108 からの副画像データとを所定のタイミングで切り換え、表示器 109 に出力している。これによって、主画像中の所定領域に副画像が合成されて表示される。このときの主画像データと副画像データとの切り換えは、合成コントローラ 110 からのセレクト信号に基づいて行われる。

CPU 101 は例えばマイクロコンピュータ等の通常のコンピュータ装置で構成され、本実施形態における画像合成装置において、画像合成に関する表示領域管理、倍率管理、及び合成管理等をソフト的に処理して実行している。すなわち、図示しない入力手段から、主画像の表示領域中の副画像を合成する領域のアドレスデータや、副画像データの主画像に合成されるべき表示領域のアドレスデータ、あるいは、副画像の等倍、縮小又は拡大等の倍率データを入力する。そして、これらのデータに基づいて、副画像データ中の表示領域の開始アドレス及び終了アドレス、主画像データの合成表示領域の開始アドレス及び終了アドレスを演算する。この演算された各アドレスデータ及び倍率データを合成コントローラ 110 に出力している。なお、上記入力手段は、例えば、作業者が操作して各データを入力できる入力スイッチや、他の上位コンピュータ等からの通信によるデータ受信装置等で構成することができる。

合成コントローラ 110 は、CPU 101 から入力した前記各アドレスデータ及び倍率データに基づいて、前述のフレームメモリ 107 a、107 b、ラインバッファ FIFO 108 及びセクタ 104 等の構成回路における副画像データのライト（入力）及びリード（出力）のタイミングや、主画像データと副画像データを切り換えるタイミング等を制御している制御回路で構成されている。合成コントローラ 110 内には、このタイミングを制御するための各種レジスタ、カウンタ及びコンパレータ回路、PLL 回路等が設けられており、以下、各回路を詳細に説明する。

図 4 に、合成コントローラ 110 内のハード構成の概要ブロック図を示してい

る。同図において、合成コントローラ 110 は、入力 PLL 回路 121、副画像入力制御回路 122、出力 PLL 回路 123 及び副画像出力制御回路 124 を備えている。入力 PLL 回路 121 は前記同期分離回路 105 から水平同期信号 NHS を入力し、この水平同期信号 NHS に基づく所定の位相及び周波数の書き込み用ドットクロック信号 CKW を生成する、いわゆる PLL 回路と呼ばれるものである。この生成された書き込み用ドットクロック信号 CKW は副画像入力制御回路 122 とフレームメモリ 107 a、107 b に入力されており、副画像データをフレームメモリ 107 a、107 b に書き込むタイミングを指定する。同様に、出力 PLL 回路 123 は前記同期検出回路 102 から水平同期信号 VHS を入力し、この水平同期信号 VHS に基づく所定の位相及びクロック周波数の読出し用ドットクロック信号 CKR を生成する PLL 回路である。この生成された読出し用ドットクロック信号 CKR は副画像出力制御回路 124 とフレームメモリ 107 a、107 b に入力されており、フレームメモリ 107 a、107 b に記憶された前記副画像データを読み出すタイミングを指定する。

ここで、入力 PLL 回路 121 及び出力 PLL 回路 123 の構成を図 5 に基づいて説明する。両回路は同じように構成されるので、同図には基本回路を示してある。位相比較器 141 は基準信号、すなわち、ここでは水平同期信号 NHS 又は水平同期信号 VHS を入力し、比較信号 FD との位相差の大きさに応じた電圧信号を出力する。そして、VCO 142 はこの電圧信号に比例した周波数のクロックを発生させる発振器で構成されており、前記基準信号の位相にロックされる所定周波数のクロック CK を発生するように設定されている。さらに、分周器 143 はこの発振クロック CK を入力して所定数分の 1 に分周し、この分周されたクロック FD を前述のように比較信号 FD として位相比較器 141 にフィードバックしている。これによって、水平同期信号 NHS 又は水平同期信号 VHS の位相に同期した所定周波数の書き込み用ドットクロック信号 CKW 又は読出し用ドットクロック信号 CKR を生成することができる。なお、上記の所定周波数は、副画像信号又は主画像信号の各水平ラインの画像周波数（各画素の繰り返し周波数）に一致するように設定される。

また、前記副画像入力制御回路 1 2 2 及び副画像出力制御回路 1 2 4 は、それぞれ、書込み用ドットクロック信号 C K W、読出し用ドットクロック信号 C K R、水平同期信号 N H S、水平同期信号 V H S 等の各信号に基づいて、入力される副画像データ中の合成すべき表示領域の副画像データのみをフレームメモリ 1 0 7 a、1 0 7 b に書き込んだり、あるいは、主画像データの合成表示領域のときに前記記憶した副画像データを所定の手順で読み出すように、各タイミングを制御している。

以下に、前記副画像入力制御回路 1 2 2 および副画像出力制御回路 1 2 4 の詳細を説明する。

図 6 は合成コントローラ 1 1 0 における上記副画像入力制御回路 1 2 2 の詳細ブロック図を示しており、以下図 6 に基づいて説明する。

X 入力カウンタ 1 1 1 x 及び Y 入力カウンタ 1 1 1 y はそれぞれ副画像データを取り込むための水平方向及び垂直方向のアドレスカウンタである。この X 入力カウンタ 1 1 1 x は同期分離回路 1 0 5 から入力した水平同期信号 N H S によってアドレスカウンタ値をリセットされた後、前記入力 P L L 回路 1 2 1 から出力される前記書込み用ドットクロック信号 C K W によってアドレスカウンタ値を計数する。また、前記 Y 入力カウンタ 1 1 1 y は同期分離回路 1 0 5 から入力した垂直同期信号 N V S によってアドレスカウンタ値をリセットされた後、前記水平同期信号 N H S によってアドレスカウンタ値を計数する。X 入力カウンタ 1 1 1 x のアドレスカウンタ値はコンパレータ 1 1 2 x1 及びコンパレータ 1 1 2 x2 に並列に出力されており、また、Y 入力カウンタ 1 1 1 y のアドレスカウンタ値はコンパレータ 1 1 2 y1 及びコンパレータ 1 1 2 y2 に並列に出力されている。

入力開始アドレスレジスタ S R x 及び入力終了アドレスレジスタ E R x は、それぞれ、1 フレーム分の副画像データの中で合成すべき表示領域 P の、1 ライン走査毎の水平方向の開始アドレス及び終了アドレスをセットするためのレジスタである。ここで、図 7 に基づいて、この開始アドレス及び終了アドレスについて説明すると、図 7 に示すように副画像の全表示領域 G1 を水平方向の X 座標と垂直方向の Y 座標との絶対座標 (X、Y) で表し、1 フレームのライン走査開始点



(図示では、全表示領域G1の左上)を原点(0、0)とし、図示で右方向をX軸正方向、また下方向をY軸正方向と表すものとする。このとき、前記設定される水平方向の開始アドレス及び終了アドレスは、上記全表示領域G1における絶対座標(X、Y)に対応して設定される。例えば、副画像データの中で合成すべき表示領域Pの左上の点の座標(X1、Y1)と、右下の点の座標(X2、Y2)とに基づいて、開始アドレスはX1、終了アドレスはX2に設定される。そして、入力開始アドレスレジスタSR<sub>x</sub>及び入力終了アドレスレジスタER<sub>x</sub>の出力、すなわちこの設定された開始アドレス及び終了アドレスのデータは、それぞれコンパレータ112<sub>x1</sub>及びコンパレータ112<sub>x2</sub>に入力されている。

同様にして、入力開始アドレスレジスタSR<sub>y</sub>及び入力終了アドレスレジスタER<sub>y</sub>は、それぞれ、副画像データの中で合成すべき前記表示領域Pの、垂直方向の開始アドレス及び終了アドレスをセットするためのレジスタである。ここで図7で示した例で説明すると、本実施形態では副画像がインターレースの場合なので、この開始アドレスは(Y1 / 2)、終了アドレスは(Y2 / 2)に設定される。なお、Y1又はY2が奇数のときは、(Y1 / 2)又は(Y2 / 2)の演算結果を例えば切上げ、切り捨て等により整数化する。そして、入力開始アドレスレジスタSR<sub>y</sub>及び入力終了アドレスレジスタER<sub>y</sub>はこの設定された開始アドレス及び終了アドレスのデータをそれぞれコンパレータ112<sub>y1</sub>及びコンパレータ112<sub>y2</sub>に出力している。

なお、上記の説明では表示領域の左上端を原点(0、0)としているが、これに限定することなく、例えば水平同期信号が入力される位置をX方向の原点、垂直同期信号が入力される位置をY方向の原点としてもよい。すなわち、図2に示したように、水平同期信号NHSが入力されてから実際の画像信号が入力されるまで所定時間があるので、この間に書込み用ドットクロック信号CKWによってアドレスカウンタ値が計数されることになる。よって、このような場合に、前記所定時間に相当するアドレスのオフセット値を予め設定しておき、上記の入力開始アドレスレジスタSR<sub>x</sub>のアドレス設定時にこのオフセット値を考慮することにより、あるいは、X入力カウンタ111<sub>x</sub>のアドレスカウンタ値からこのオフセッ

ト値を減算することによって、等価的に上記説明のような原点の表し方と等しくすることができる。以下の説明でも、同様とする。

前記コンパレータ 1 1 2<sub>x1</sub>、1 1 2<sub>x2</sub>、1 1 2<sub>y1</sub>、1 1 2<sub>y2</sub>は、それぞれ比較回路である。コンパレータ 1 1 2<sub>x1</sub>は、X入力カウンタ 1 1 1<sub>x</sub> のアドレスカウンタ値と入力開始アドレスレジスタ S R<sub>x</sub> の開始アドレスとを比較し、一致したときに一致信号 S S<sub>x</sub> をライトイネーブルX生成回路 1 1 3<sub>x</sub> に出力する。また、コンパレータ 1 1 2<sub>x2</sub>は、X入力カウンタ 1 1 1<sub>x</sub> のアドレスカウンタ値と入力終了アドレスレジスタ E R<sub>x</sub> の終了アドレスとを比較し、一致したときに一致信号 E S<sub>x</sub> をライトイネーブルX生成回路 1 1 3<sub>x</sub> に出力する。そして、ライトイネーブルX生成回路 1 1 3<sub>x</sub> は、上記一致信号 S S<sub>x</sub> を入力したとき、ライトイネーブルX信号 WEN<sub>x</sub> をハイレベルにセットし、その後上記の一致信号 E S<sub>x</sub> を入力したとき、上記ライトイネーブルX信号 WEN<sub>x</sub> をローレベルに戻す。よって、このライトイネーブルX信号 WEN<sub>x</sub> は、入力している副画像データの水平方向アドレスが前記表示領域 P に対応していることを示しており、副画像データのフレームメモリ 1 0 7 a、1 0 7 b への書き込み制御信号としてライトコントローラ 1 1 4 に入力される。

また同様にして、コンパレータ 1 1 2<sub>y1</sub>はY入力カウンタ 1 1 1<sub>y</sub> のアドレスカウンタ値と入力開始アドレスレジスタ S R<sub>y</sub> の開始アドレスとを比較し、一致したときに一致信号 S S<sub>y</sub> をライトイネーブルY生成回路 1 1 3<sub>y</sub> に出力し、また、コンパレータ 1 1 2<sub>y2</sub>はY入力カウンタ 1 1 1<sub>y</sub> のアドレスカウンタ値と入力終了アドレスレジスタ E R<sub>y</sub> の終了アドレスとを比較し、一致したときに一致信号 E S<sub>y</sub> をライトイネーブルY生成回路 1 1 3<sub>y</sub> に出力する。そして、ライトイネーブルY生成回路 1 1 3<sub>y</sub> は、上記一致信号 S S<sub>y</sub> を入力したとき、ライトイネーブルY信号 WEN<sub>y</sub> をハイレベルにセットし、その後上記の一致信号 E S<sub>y</sub> を入力したとき、上記ライトイネーブルY信号 WEN<sub>y</sub> をローレベルに戻す。よって、このライトイネーブルY信号 WEN<sub>y</sub>は、入力している副画像データの垂直方向アドレスが前記表示領域 P に対応していることを示しており、副画像データのフレームメモリ 1 0 7 a、1 0 7 b への書き込み制御信号としてのライトコントローラ

114に入力される。

また、合成コントローラ110には、倍率データSBを設定するための倍率レジスタ（図示せず）が設けられている。この倍率データSBは等倍、縮小及び拡大等の倍率種別とその倍率数値データで表されるものであり、倍率データSBはCPU101が設定する。

ライトコントローラ114は、上記ライトイネーブルX生成回路113xとライトイネーブルY生成回路113yからそれぞれライトイネーブルX信号WENx及びライトイネーブルY信号WENyを入力すると共に、前記同期分離回路105から副画像信号VDSの水平同期信号NHS、垂直同期信号NVS及び奇数ライン信号ODDを入力し、さらに、前記倍率レジスタからの倍率データSBを入力している。そして、これらの信号及びデータに基づいて、フレームメモリ107a、107bへの副画像データの書き込みを指令するライト信号や、フレームメモリ107a、107b内のライトアドレスポインタを書込み用ドットクロック信号CKWに同期させてインクリメントさせる許可信号等を入力する。また、合成すべき表示領域Pの副画像データを新たにフレームメモリ107a、107bに取り込むときにライトアドレスをリセットして上記ライトアドレスポインタを初期化する、つまり、ライトアドレスを先頭番地に戻す指令を入力する。

図8は前記副画像出力制御回路124の詳細ブロック図を示しており、以下同図に基づいて説明する。

X表示カウンタ115x及びY表示カウンタ115yはそれぞれ、フレームメモリ107a、107bに記憶した副画像データを主画像に合成表示するための水平方向及び垂直方向のアドレスカウンタである。このX表示カウンタ115xは同期検出回路102から入力した主画像信号VDMの水平同期信号VHSによってアドレスカウント値をリセットされた後、出力PLL回路123から出力される前記読出し用ドットクロック信号CKRによってアドレスカウント値を計数する。また、前記Y表示カウンタ115yは同期検出回路102から入力した垂直同期信号VVSによってアドレスカウント値をリセットされた後、前記水平同期信号VHSによってアドレスカウント値を計数する。前記X表示カウンタ115xのアド

レスカウント値はコンパレータ 1 1 6 x1及びコンパレータ 1 1 6 x2に並列に出力されており、Y表示カウンタ 1 1 5 y のアドレスカウント値はコンパレータ 1 1 6 y1及びコンパレータ 1 1 6 y2に並列に出力されている。

表示開始アドレスレジスタ S V<sub>x</sub> 及び表示終了アドレスレジスタ E V<sub>x</sub> は、それぞれ、1フレーム分の主画像データの中で副画像が合成される表示領域Qの、1ライン毎の水平方向の開始アドレス及び終了アドレスをセットするためのレジスタである。ここで、図9に示すように、副画像と同様に、主画像の全表示領域GMを水平方向のX座標と垂直方向のY座標との絶対座標(X、Y)で表し、1フレーム表示の左上のライン走査開始点を原点(0、0)とし、図示で右方向をX軸正方向、また下方向をY軸正方向と表す。ここに、上記設定される開始アドレス及び終了アドレスは、上記全表示領域GMの絶対座標(X、Y)に対応して設定される。例えば、副画像が合成される表示領域Qの左上の点の座標(XM1、YM1)と、右下の点の座標(XM2、YM2)とに基づいて、開始アドレスはXM1、終了アドレスはXM2に設定される。そして、表示開始アドレスレジスタ S V<sub>x</sub> 及び表示終了アドレスレジスタ E V<sub>x</sub> はこの設定された開始アドレス及び終了アドレスのデータをそれぞれ前記コンパレータ 1 1 6 x1及びコンパレータ 1 1 6 x2に出力している。

同様にして、表示開始アドレスレジスタ S V<sub>y</sub> 及び表示終了アドレスレジスタ E V<sub>y</sub> は、それぞれ前記表示領域Qの垂直方向の開始アドレス及び終了アドレスをセットするためのレジスタである。例えば図9によって説明すると、この開始アドレスはYM1、終了アドレスはYM2に設定される。そして、表示開始アドレスレジスタ S V<sub>y</sub> 及び表示終了アドレスレジスタ E V<sub>y</sub> はこの設定された開始アドレス及び終了アドレスのデータをそれぞれコンパレータ 1 1 6 y1及びコンパレータ 1 1 6 y2に出力している。

前記コンパレータ 1 1 6 x1、1 1 6 x2、1 1 6 y1、1 1 6 y2は比較回路であり、コンパレータ 1 1 6 x1は、X表示カウンタ 1 1 5 x のアドレスカウント値と表示開始アドレスレジスタ S V<sub>x</sub> の開始アドレスとを比較し、一致したときに一致信号S D<sub>x</sub> をリードイネーブルX生成回路 1 1 7 x に出力する。また、コンパレー

タ 1 1 6 x2は、X表示カウンタ 1 1 5 x のアドレスカウンタ値と表示終了アドレスレジスタ E V x の終了アドレスとを比較し、一致したときに一致信号 E D x をリードイネーブルX生成回路 1 1 7 x に出力する。そして、リードイネーブルX生成回路 1 1 7 x は、上記一致信号 S D x を入力したとき、リードイネーブルX信号 R E N x をハイレベルにセットし、その後上記一致信号 E D x を入力したとき、このリードイネーブルX信号 R E N x をローレベルに戻す。よって、このリードイネーブルX信号 R E N x は、表示している主画像データの水平方向アドレスが前記表示領域Qに対応していることを示しており、記憶した副画像データをフレームメモリ 1 0 7 a、1 0 7 b から読み出す制御信号としてリードコントローラ 1 1 8 に入力される。

また、同様にして、コンパレータ 1 1 6 y1は、Y表示カウンタ 1 1 5 y のアドレスカウンタ値と表示開始アドレスレジスタ S V y の開始アドレスとを比較し、一致したときに一致信号 S D y をリードイネーブルY生成回路 1 1 7 y に出力し、コンパレータ 1 1 6 y2は、Y表示カウンタ 1 1 5 y のアドレスカウンタ値と表示終了アドレスレジスタ E V y の終了アドレスとを比較し、一致したときに一致信号 E D y をリードイネーブルY生成回路 1 1 7 y に出力する。そして、リードイネーブルY生成回路 1 1 7 y は、上記一致信号 S D y を入力したとき、リードイネーブルY信号 R E N y をハイレベルにセットし、その後上記の一致信号 E D y を入力したとき、このリードイネーブルY信号 R E N y をローレベルに戻す。よって、このリードイネーブルY信号 R E N y は、表示している主画像データの垂直方向アドレスが前記表示領域Qに対応していることを示しており、記憶した副画像データをフレームメモリ 1 0 7 a、1 0 7 b から読み出す制御信号としてリードコントローラ 1 1 8 に入力される。

リードコントローラ 1 1 8 は、上記リードイネーブルX生成回路 1 1 7 x とリードイネーブルY生成回路 1 1 7 y からそれぞれリードイネーブルX信号 R E N x 及びリードイネーブルY信号 R E N y を入力すると共に、前記同期検出回路 1 0 2 から主画像信号 V D M の水平同期信号 V H S、垂直同期信号 V V S 及び倍率レジスタからの倍率データ S B を入力する。そして、これらの信号及びデータに基づいて、

フレームメモリ 107 a、107 b の各データ出力端子からのデータ出力を許可する指令信号や、フレームメモリ 107 a、107 b 内のリードアドレスポインタを水平同期信号 VHS に同期させてインクリメントさせる許可信号、あるいは、主画像の奇数ラインを表す奇数ライン信号 ODDR 等を出力する。また、1 フレーム分の主画像を先頭データから表示する場合に、リードアドレスポインタをリセットして初期化する、つまり、リードアドレスを先頭番地に戻す信号を出力する。なお、前記奇数ライン信号 ODDR はリードイネーブル X 信号 RENx 及びリードイネーブル Y 信号 RENy に基づいてハード回路により又はソフト的に生成され、例えば、リードイネーブル X 信号 RENx がハイレベルになる度に反転し、かつ、リードイネーブル Y 信号 RENy によりリセットするフリップフロップの出力として生成される。

次に、このような構成における画像合成装置の作用を説明する。

まず、倍率が等倍に指定された場合の副画像データの処理方法を説明する。

第 1 のフレームメモリ 107 a には、インターレース画像の水平ラインが奇数フィールド（信号 ODD がハイレベル）のときの副画像データを書き込み、第 2 のフレームメモリ 107 b には、偶数フィールド（信号 ODD がローレベル）のときの副画像データを書き込むようにする。このとき、図 7 に示したような副画像データの表示領域 P が合成されるべきものとする、前述のように、入力開始アドレスレジスタ SRx には X1 が、入力終了アドレスレジスタ ERx には X2 が、入力開始アドレスレジスタ SRy には (Y1 / 2) が、そして、入力終了アドレスレジスタ ERy には (Y2 / 2) が CPU 1 により設定される。

そして、書き込み用ドットクロック信号 CKW に同期して、X 入力カウンタ 111x はカウントアップし、このカウント値が X1 に等しくなったら一致信号 SSx がハイレベルとなり、ライトイネーブル X 信号 WENx がハイレベルとなる。また、カウント値が X2 になったら、一致信号 ESx がハイレベルとなり、上記ライトイネーブル X 信号 WENx がローレベルに戻る。そして、水平同期走査の 1 ラインが終了したら、水平同期信号 NHS によって上記 X 入力カウンタ 111x のアドレスポインタはリセットされ、カウント値は零にもどるので、次の水平ラインでは、

上記X入力カウンタ111xは水平ラインの先頭からカウントする。これによって、上記ライトイネーブルX信号WENxは表示領域Pの画像データのときのみハイレベルとなる。

同じく、Y入力カウンタ111yは水平同期信号NHSによってカウントアップし、このカウント値がY1からY2の間のときに、ライトイネーブルY信号WENyはハイレベルとなる。

さらに、前記ライトイネーブルX信号WENx及びライトイネーブルY信号WENyが共にハイレベルで、かつ、奇数フィールド（信号ODDがハイレベル）のときは、副画像データを第1のフレームメモリ107aに、また前記ライトイネーブルX信号WENx及びライトイネーブルY信号WENyが共にハイレベルで、かつ、偶数フィールド（信号ODDがローレベル）のときは第2のフレームメモリ107bに書き込まれる。このとき、フレームメモリ107a、107b内のライトアドレスポインタは、各アドレスに対応する画像データ（所定のKビットデータ）が入力順に書き込まれた後に、書き込み用ドットクロック信号CKWに同期してインクリメントされる。これによって、表示領域Pの奇数フィールドの副画像データが第1のフレームメモリ107aに、偶数フィールドの副画像データが第2のフレームメモリ107bに連続的に書き込まれる。

書き込まれた副画像データを読み出す場合には、以下のように行われる。

図9に示したような主画像の表示領域Qにこの副画像データを合成するものとする。よって、表示開始アドレスレジスタSVxにはXM1が、表示終了アドレスレジスタEVxレジスタにはXM2が、表示開始アドレスレジスタSVyにはYM1が、表示終了アドレスレジスタEVyにはYM2がCPU101によって設定される。ここで、上記の表示側のレジスタ設定値は前記入力側のレジスタ設定値との間に以下の式(1)及び式(2)の関係を満たす必要がある。なお、数式内の各レジスタの符号は、それぞれの設定値を表すものとし、以後同様とする。

$$ERx - SRx = EVx - SVx$$

… (1)

$$ERy - SRy \geq (EVy - SVy) / 2$$

… (2)

なお、副画像がノンインターレースの場合には、式 (2) に代わって式 (3) の条件が必要になる。

$$E R_y - S R_y \geq E V_y - S V_y$$

… (3)

そして、X表示カウンタ 115x は主画像信号VDM内の水平同期信号VHSによってクリアされた後、読出し用ドットクロック信号CKRによってカウントアップする。そして、このカウント値がXM1と等しくなったとき一致信号SDxが、またXM2と等しくなったとき一致信号EDxがリードイネーブルX生成回路117xに出力される。これによって、主画像データの水平方向アドレスがXM1～XM2の間、リードイネーブルX信号RENxがハイレベルとなる。また、Y表示カウンタ115yは、主画像信号VDM内の垂直同期信号VVSによってクリアされた後、水平同期信号VHSをクロック信号としてカウントアップする。そして、このカウント値がYM1～YM2の間、リードイネーブルY信号REnyがハイレベルとなる。

リードイネーブルX信号RENx及びリードイネーブルY信号REnyが共にハイレベルで、かつ、水平ラインが奇数ライン(ODDR信号がハイレベル)のとき、リードコントローラ118は第1のフレームメモリ107aから読出し用ドットクロック信号CKRに同期して入力した順に連続的に読み出す。また、リードイネーブルX信号RENx及びリードイネーブルY信号REnyが共にハイレベルで、かつ、水平ラインが偶数ライン(ODDR信号がローレベル)のとき、リードコントローラ118は第2のフレームメモリ107bから読出し用ドットクロック信号CKRに同期して入力した順に連続的に読み出す。このとき、フレームメモリ107a、107b内のリードアドレスポインタは、記憶した副画像データの先頭アドレスから読み出し開始する時にリセットされ、この後各アドレスに対応した副画像データが読み出された後に、上記読出し用ドットクロック信号CKRに同期してインクリメントされる。そして合成コントローラ110が、リードイネーブルX信号RENx及びリードイネーブルY信号REnyが共にハイレベルのとき、セレ



クタ104の入力チャネルの副画像側を選択するので、これによって、上記の読み出された副画像データは主画像の表示領域Qに表示されることになり、主画像に合成される。

次に、縮小の場合について画像合成処理方法を説明する。

1) 倍率が  $1/2^n$  ( $n$ は自然数) の場合

副画像データを第1のフレームメモリ107aに書くとき、前記等倍時の処理と同様に、入力開始アドレスレジスタSR<sub>x</sub> 及び入力終了アドレスレジスタER<sub>x</sub> にはそれぞれX1、X2がセットされ、入力開始アドレスレジスタSR<sub>y</sub> 及び入力終了アドレスレジスタER<sub>y</sub> にはそれぞれ  $(Y1/2)$ 、 $(Y2/2)$  がセットされる。倍率が  $1/2^n$  の場合には、副画像データの奇数フィールド又は偶数フィールドの内のいずれか一方が例えば第1のフレームメモリ7aにのみ書き込まれる。本実施形態では、奇数フィールドを書き込むようにしており、ライトイネーブルX信号WEN<sub>x</sub> 及びライトイネーブルY信号WEN<sub>y</sub> が共にハイレベルで、かつ、奇数フィールドのときに、以下の書き込み処理を行う。まず垂直方向について、書き込み処理対象のラインをnライン毎に  $1/n$  に間引く、すなわち、nラインの内1ラインのみを次の水平方向間引き処理対象とする。さらに、この間引いた各ラインに対してドット方向で  $1/2^n$  に間引きして、すなわち、入力 of X方向アドレスが  $2^n$  進む毎に1アドレスの副画像データのみを第1のフレームメモリ107aに書き込む。このとき、第1のフレームメモリ107a内のライトアドレスポインタは、書き込み用ドットクロック信号CKWの  $2^n$  クロック毎に1回、この書き込み用ドットクロック信号CKWに同期してインクリメントされる。これによって、副画像データの奇数フィールドが垂直方向に  $1/n$  に縮小され、結果として副画像データが垂直方向に  $1/2^n$  に縮小されることになり、また、水平方向にも  $1/2^n$  に縮小されることになる。

そして、読み出し時は、第1のフレームメモリ107aのみから読み出す。すなわち、リードイネーブルX信号REN<sub>x</sub> 及びリードイネーブルY信号REN<sub>y</sub> が共にハイレベルのとき、リードコントローラ118は第1のフレームメモリ107aから読出し用ドットクロック信号CKRに同期して入力順に連続的に読み出す。

そして、合成コントローラ 110 が、リードイネーブル X 信号 RENx 及びリードイネーブル Y 信号 RENy が共にハイレベルのときに、セクタ 104 の入力チャネルの副画像側を選択するので、上記の読み出された副画像データは主画像の表示領域 Q に表示されることになり、主画像に合成される。このとき、フレームメモリ 107 a のみから読み出すので、合成された副画像は垂直方向及び水平方向に  $1/2n$  に縮小されて表示される。なお、当然のことながら、主画像の表示領域 Q の大きさは副画像の表示領域 P の水平方向及び垂直方向の大きさを共に  $1/2n$  に縮小したものでなければならず、このために、入力側と出力側の各アドレスレジスタの設定値の関係を以下のようにする必要がある。

$$ER_x - SR_x = 2n \times (EV_x - SV_x) \quad \dots (4)$$

$$ER_y - SR_y \geq n \times (EV_y - SV_y) \quad \dots (5)$$

2) 倍率が  $1/(2n+1)$  の場合

入力側及び出力側の各アドレスレジスタの設定値は、次の式 (6)、式 (7) の関係を満足するように設定される。

$$ER_x - SR_x = (2n+1) \times (EV_x - SV_x) \quad \dots (6)$$

$$ER_y - SR_y \geq (2n+1) \times (EV_y - SV_y) / 2 \quad \dots (7)$$

そして、この場合には、副画像データを以下の方法でフレームメモリ 107 a、107 b に書き込む。すなわち、ライトイネーブル X 信号 WENx 及びライトイネーブル Y 信号 WENy が共にハイレベルのとき、垂直方向について、書き込み処理対象のラインを、副画像表示全体における  $(2n+1)$  ライン毎に  $1/(2n+1)$  に間引く。ここで、副画像がインターレースであることから、奇数フィールドのときは  $2(2n+1)$  ライン毎に  $1/2(2n+1)$  に間引き（例えば、 $1/3$  倍のとき、ライン 1、7、13…等のように 6 ライン毎に  $1/6$  に間引く）、また偶数フィールドのときも  $2(2n+1)$  ライン毎に  $1/2(2n+1)$  に（

例えば、1/3倍のとき、ライン4、10、16…等のように6ライン毎に1/6に)間引いて、次の水平方向間引き処理対象とする。さらに、この間引いた各ラインに対してライトイネーブルX信号WEN<sub>x</sub>がハイレベルのときドット方向で1/(2n+1)に間引きして、すなわち、入力のX方向アドレスが(2n+1)進む毎に1アドレスの副画像データのみを、奇数フィールドでは第1のフレームメモリ107aに、又は偶数フィールドでは第2のフレームメモリ107bに書き込む。なお、フレームメモリ107a、107b内の各ライトアドレスポインタは、書き込み用ドットクロック信号CKWの(2n+1)クロック毎に1回、この書き込み用ドットクロック信号CKWに同期してインクリメントされる。これによって、副画像データが水平方向及び垂直方向に1/(2n+1)に縮小されて記憶されることになる。

そして、読み出し時は、等倍時と同様の方法によって読み出され、セクタ104を介して主画面の表示領域Qに合成表示される。

次に、拡大時の処理方法について説明する。

#### 1)倍率がN倍の場合

入力側及び出力側の各アドレスレジスタの設定値は、次の式(8)、式(9)の関係を満足するように設定される。

$$ER_x - SR_x = (EV_x - SV_x) / N \quad \dots (8)$$

$$ER_y - SR_y \geq (EV_y - SV_y) / 2N \quad \dots (9)$$

フレームメモリ107a、107bへの書き込み方法は、等倍時と同様とする。すなわち、ライトイネーブルX信号WEN<sub>x</sub>及びライトイネーブルY信号WEN<sub>y</sub>が共にハイレベルのとき、奇数フィールドの画像データは第1のフレームメモリ107aに、また偶数フィールドの副画像データは第2のフレームメモリ107bに入力順に連続的に書き込まれる。そして、読み出し時には、以下詳細に説明するように、リードイネーブルX信号REN<sub>x</sub>及びリードイネーブルY信号REN<sub>y</sub>が共にハイレベルで、かつ、ラインバッファFIFO108がデータを出力しない

ラインのとき、フレームメモリ 107 a、107 b から前記記憶されたデータが交互に、かつ、前記入力順に連続的に読み出される。

以下に、読み出し方法を詳細説明する。

主画像内の合成すべき表示領域 P に表示する最初の 1 ライン分の副画像データは、リードイネーブル Y 信号  $REN_y$  がハイレベルになると、最初のリードイネーブル X 信号  $REN_x$  がハイレベルの間、第 1 のフレームメモリ 107 a から読み出して出力される。このときの水平ラインのデータは、各アドレス毎に読出し用ドットクロック信号  $CKR$  の  $1/N$  サイクルで読み出される。すなわち、リードアドレスポインタは読出し用ドットクロック信号  $CKR$  の  $N$  回に 1 回インクリメントされるので、同じデータが読出し用ドットクロック信号  $CKR$  の  $N$  回分連続して出力される。これによって、各ラインは水平方向に  $N$  倍拡大されたことになる。拡大されたラインの表示ドット数  $D$  は、数式「 $D = (X_2 - X_1) \times N$ 」で表されるドット数となる。そして、上記の水平方向に  $N$  倍拡大されて出力された副画像データはセクタ 104 を介して主画像に合成表示されると共に、同時にラインバッファ  $FIFO108$  に読出し用ドットクロック信号  $CKR$  に同期して、つまり読出し用ドットクロック信号  $CKR$  と同じサイクルで書き込まれる。

つぎに、2 番目のラインから  $N$  番目のラインまでは、リードイネーブル Y 信号  $REN_y$  がハイレベルの間で、かつ、リードイネーブル X 信号  $REN_x$  が 2 番目のラインから  $(N-1)$  回ハイレベルになっている間に相当する。この間に、前記ラインバッファ  $FIFO108$  から前記記憶した 1 番目のラインのデータを入力順に連続的に読み出し、水平同期信号  $VHS$  毎にラインバッファ  $FIFO108$  のリードアドレスポインタをリセットする。これにより、2 番目から続く  $(N-1)$  ライン分に対しても繰り返して 1 番目のラインと同じデータが順々にセクタ 104 に出力される。したがって、2 番目から  $N$  番目のラインには 1 番目のラインと同じ副画像が合成表示される。

次に、 $(N+1)$  ライン目の副画像データは、リードイネーブル Y 信号  $REN_y$  がハイレベルになり、かつ、 $(N+1)$  回目にリードイネーブル X 信号  $REN_x$  がハイレベルになっている間、第 2 のフレームメモリ 107 b から読み出される。

このときのデータは、前記 1 番目のラインと同様に、各アドレス毎に読出し用ドットクロック信号CKRの $1/N$ サイクルで読み出されるので、ラインは水平方向にN倍拡大される。そして、このN倍拡大されて出力されたデータは、セクタ104を介して合成表示されると同時に、ラインバッファFIFO108に記憶される。この後、次の $(N+2)$ ライン $\sim 2N$ ラインは、リードイネーブルY信号REN<sub>y</sub>がハイレベルで、かつ、リードイネーブルX信号REN<sub>x</sub>が $(N+2)$ 番目のラインから $(N-1)$ 回ハイレベルになっている間に相当する。この間に、このラインバッファFIFO108から上記記憶した $(N+1)$ ライン目の副画像データを入力順に連続的に読み出し、水平同期信号VHS毎にラインバッファFIFO108のリードアドレスポインタをリセットする。これにより、 $(N+2)$ 番目から続く $(N-1)$ ライン分に対しても繰り返して $(N+1)$ 番目のラインと同じデータが順々にセクタ4に出力される。これによって、 $(N+2)$ ラインから $2N$ ラインには $(N+1)$ ラインと同じ副画像が合成表示される。

続いて、 $(2N+1)$ ライン目の副画像データは、1ライン目と同様の処理に戻って、リードイネーブルY信号REN<sub>y</sub>がハイレベルになると、 $(2N+1)$ 回目のリードイネーブルX信号REN<sub>x</sub>がハイレベルの間、第1のフレームメモリ107aから読み出される。このように、以下同様にして、Nライン毎に、最初の1ラインは第1のフレームメモリ107a（副画像のラインが奇数ラインのとき）から、あるいは、第2のフレームメモリ107b（副画像のラインが偶数ラインのとき）から交互に副画像データが読み出され、水平方向（ドット方向）に各データをN倍拡大されてセクタ104に出力されると共に、ラインバッファFIFO108にもN倍拡大されたデータが同時に書き込まれる。そして、残りの $(N-1)$ ラインはこのラインバッファFIFO108に記憶されたデータを読み出してセクタ104を介して表示するようにしている。

このようにして、副画像の表示領域Pの全体がN倍に拡大されるまで処理が行われ、この結果、副画像が縦、横N倍拡大されて合成表示される。

なお、上記で説明したN倍拡大の方法においては、フレームメモリ107a、107bから読み出すときに、主画像信号VDMの水平同期信号に基づいて生成

される読出し用ドットクロック信号CKRの $1/N$ サイクルで読み出すことによって各副画像データをN倍拡大している。そして、この拡大されたラインの副画像データをラインバッファFIFO108に上記読出し用ドットクロック信号CKR号に同期して書き込んでいるので、ラインバッファFIFO108には各データがN倍拡大された状態で記憶されている。しかしながら、N倍拡大の方法はこれに限定されるものではなく、他の方法によることもできる。例えば、フレームメモリ107a、107bから読み出すときには、読出し用ドットクロック信号CKRの $1/N$ サイクルで読み出してN倍拡大し、これをラインバッファFIFO108に書き込むときにも、同様に $1/N$ サイクルで書き込む。よって、ラインバッファFIFO108にはフレームメモリ107a、107bと同じように等倍の状態で記憶される。そして、ラインバッファFIFO108から読み出すときに読出し用ドットクロック信号CKRの $1/N$ サイクルで読み出すことにより、N倍拡大を実現できる。

また、副画像の表示領域Pを等倍、縮小又は拡大した所定領域を、主画像の所定の合成すべき表示領域Qに合成表示したときに、表示領域Pの一部が表示領域Qの外部にはみ出すような合成が指定された場合には、所定の処理によってはみ出した画像部分を表示させないようにすることができる。例えば、はみ出したデータの大きさが小さい場合には、一般的に、各水平ラインから次のライン迄にバックポーチ区間やフロントポーチ区間等のライン切り換え時間があるので、上記データをそのまま出力しても表示されない場合もある。しかし、はみ出したデータの大きさが大きい場合には、この大きさを予め計算して上記バックポーチ区間やフロントポーチ区間等の時間を考慮し、はみ出した画像データ分をフレームメモリ107a、107bへ取り込まない等の処理を行うことによって、表示させないようにできる。

以上説明したように、副画像の所定の表示領域を主画像に等倍で合成する場合、この合成すべき表示領域に対応する画像データのみを入力順に順次フレームメモリに記憶し、主画像に合成表示するときに、主画像データの走査アドレスが合成表示領域になったら主画像データから切り換えて、前記記憶した副画像データを

入力順に順次読み出して表示している。なお、副画像がインターレースの場合には、奇数ラインと偶数ラインをそれぞれ第1のフレームメモリ107a及び第2のフレームメモリ107bに記憶する。そして、主画像がノンインターレースの場合には、この第1のフレームメモリ107a及び第2のフレームメモリ107bの副画像データをライン毎に交互に読み出す。したがって、副画像データの全画面1枚分を記憶可能なフレームメモリのみを備えればよいので、画像合成用のメモリの容量が小さくなる。また、インターレース画像からノンインターレース画像への走査変換を容易に行うことができる。

また、副画像を所定倍率に縮小する場合には、副画像の合成すべき表示領域に対応する画像データのみを入力するときに、まず垂直方向について、入力順に書き込み処理対象のラインを上記所定倍率分の1に間引き、この間引いた各ラインに対して、さらに副画像の合成すべき表示領域に対応する画像データのときに、水平方向（ドット方向）で上記所定倍率分の1に間引きして対応するフレームメモリ107a、107bに書き込む。そして、主画像に合成表示するときには、前記等倍と同様に、前記記憶した縮小された副画像データを入力順に順次読み出して表示している。なお、垂直方向の間引きに関して言うと、副画像がインターレースの場合には、縮小倍率が $(1/2n)$ ならば、第1のフレームメモリ107a（又は第2のフレームメモリ107b）にのみ奇数フィールド（又は偶数フィールド）のデータを $(1/n)$ に間引きして記憶すればよい。また、縮小倍率が $1/(2n+1)$ ならば、奇数フィールド及び偶数フィールドのそれぞれのデータに対して、 $1/2(2n+1)$ に間引きして対応する第1のフレームメモリ107a又は第2のフレームメモリ107bに記憶すればよい。奇数フィールドと偶数フィールドをそれぞれ第1のフレームメモリ107a及び第2のフレームメモリ107bに記憶した場合には、表示側では主画像のライン毎に交互に読み出す。これによって、任意の縮小倍率の画像合成が可能となる。

また、副画像を所定倍率に拡大する場合には、前記等倍時と同様にして、表示領域に対応する画像データのみをフレームメモリに入力順に順次記憶し、合成表示するときに、この記憶した画像データを、ラインバッファFIFOを使用して

前記所定倍率に相当する拡大処理を行いながら表示している。これによって、任意の拡大倍率の画像合成が可能となると共に、フレームメモリの容量を小さくすることができる。

なお、以上の説明では副画像信号がモノクロ画像信号の場合を説明しているが、本発明はこれに限定するものではなく、カラー画像の場合には、フレームメモリ 107a、107b 及びラインバッファ FIFO 108 を R、G、B 用に各 3 セットずつ設けることによって、あるいは、ビット数の大きいフレームメモリ 107a、107b 及びラインバッファ FIFO 108 を設けることによって対応可能となる。

また、副画像がノンインターレースの場合には、以上説明したような 2 つのフレームメモリ 107a、107b を設けて奇数ライン及び偶数ラインの走査変換を行う必要がなく、同一のフレームメモリに入力順に書き込み、また読み出すことによって、容易に対応可能となる。

次に、図 11～図 8 を用いて、この発明の他の実施形態を説明する。

まず、図 12～図 15 を参照してこの発明の概略を説明する。

図 12 に示すように、ノンインターレース走査の主画像が表示される表示器の表示エリア GM の一部領域 Q (以下合成領域 Q という) に奇数フィールドおよび偶数フィールドで 1 フレーム画面を構成するインターレース走査の副画像をスーパーインポーズ表示するとする。

副画像は、図 13 に示すように、全画像領域 G1 を有し、この画像領域 G1 中の任意のエリアを主画像に対する合成エリア P (以下抽出領域 P という) として抽出し、該抽出領域 P の副画像を図 2 の主画像表示エリアの任意の合成領域 Q に合成表示する。

本実施形態では、このような合成表示を行うに当たり、全副画像 G1 の中から抽出した抽出領域 P に含まれるインターレース走査の副画像を、図 14 に示すように、1 つのフレームメモリ 20 の連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶しようとするものである。

例えば、図 13 の抽出領域 P に含まれる副画像が、K 番目の走査ラインから (



$K+50$ ) 番目の走査ラインのものであったとする。Kは合成エリアPの副走査方向(Y方向)の位置に応じて奇数の場合もあるし、偶数の場合もある。なお、これ以降、抽出領域P中で最も上に位置する走査ライン1uが含まれるフィールドを基準フィールドとよび、他方のフィールドを非基準フィールドと呼ぶ。基準フィールドはKが奇数であるか偶数であるかに応じて奇数フィールドにもなるし、偶数フィールドにもなる。

すなわち、副画像はインターレース走査であるため、まず奇数フィールドに含まれる全ライン(1, 3, 5, ...)の画像が入力され、次に偶数フィールドの全ライン(2, 4, 6, ...)の画像が入力され、これが繰り返されるわけであるので、このような副画像の一部の抽出領域Pをフレームメモリ20に対しデータの入力時間順に連続したアドレスに記憶しようとする、フレームメモリ20の前半部のアドレス領域に抽出領域Pに含まれる奇数フィールドの各ラインの画像が記憶され、これに続くアドレス領域に偶数フィールドの各ラインの画像が記憶されることになり、連続したアドレスにノンインターレース走査の走査ラインの順番通りに副画像データを記憶することはできない。

しかし、本発明では、図15に示すようなフレームメモリ20への書き込み制御を行うことにより、結果的に、図14に示すように、フレームメモリ20の連続したアドレス領域にノンインターレース走査の走査ラインの順番通りに副画像データを記憶するようにしている。すなわち、フレームメモリ20の最初のアドレス領域には、図13の抽出領域P中の最も上のラインKの画像が記憶され、次のアドレス領域には、図13の抽出領域P中の2番面目のライン( $K+1$ )の画像が記憶され、さらに次のアドレス領域には、図13の抽出領域P中の3番面目のライン( $K+2$ )の画像が記憶され、これが繰り返されることになる。

つぎに、図15のタイムチャートを用いて図14に示した副画像記憶をなし得るための書き込み制御の概要について説明する。

まず、図13の抽出領域P中で最も上に位置する走査ライン1uが含まれる基準フィールド側の副画像の入力が、副画像の全面像領域のG1の最も上のラインから開始されたとする。この基準フィールドの画像の入力に先立ち、垂直同期信号

NVSが入力されるので、この時点でフレームメモリ 20 のアドレスを初期化して先頭のアドレス領域からデータが記憶されるようにする。

その後 1 ライン毎の水平同期信号NHSと共に、基準フィールド側の各ラインの画像が順次入力される。

この後、入力されている基準フィールド側の画像のライン番号がKになると、フレームメモリ 20 の先頭のアドレス領域には、このK番目のラインに対応する画像が記憶される。もちろん、この際、K番目のラインに含まれる全ての画素の画像が記憶されるのではなく、主走査方向（X方向）に関して抽出領域Pに含まれる画素に対応する画像（図 13 の座標 X1 から座標 X2 までの画像）のみが記憶される。

この記憶動作が終了すると、抽出領域P内の主走査方向の画素数分の画像（図 13 の座標 X1 から座標 X2 までの画像）に対応するアドレス領域分だけアドレスを高速クロックを用いてインクリメントさせることで、次の非基準フィールドの（K+1）番目のラインの抽出画像を記憶するアドレス領域を確保しておく。すなわち、データを書き込んだ直後から次の水平同期信号NHSが入力されるまでの待ち期間を利用し、この待ち時間に座標 X1 から座標 X2 までの画像に対応するアドレス領域分だけアドレスをスキップさせる。

この後、（K+2）ラインの画像、（K+4）ラインの画像、…が順次入力されるので、これらの各ラインの画像のうちの抽出領域P内に含まれる分を、前記と同様にしてアドレスをインクリメントしながら順次フレームメモリ 20 に記憶していく。この結果、まず、抽出領域Pの副画像のうちの基準フィールド側の画像が、飛び飛びのアドレス領域に記憶される。

次に、非基準フィールド側の副画像の入力が、副画像の全画像領域のG1の最も上のラインから開始されたとする。この非基準フィールドの画像の入力に先立ち、垂直同期信号NVSが入力されるので、この時点でフレームメモリ 20 のアドレスを初期化する。さらに、この初期化後、前記と同様のアドレスのインクリメント動作を行うことで、既に記憶された基準フィールドのK番目のラインの抽出画像に対応するアドレス領域分だけアドレスをオフセットしておく。

その後1ライン毎の水平同期信号NHSと共に、非基準フィールド側の各ラインの画像が順次入力される。

この後、入力されている非基準フィールド側の画像のライン番号が $(K+1)$ になると、フレームメモリ20の先頭の次のアドレス領域には、この $(K+1)$ 番目のラインに対応する画像が記憶される。もちろん、この際、 $(K+1)$ 番目のラインに含まれる全ての画素の画像が記憶されるのではなく、主走査方向(X方向)に関して抽出領域Pに含まれる画素に対応する画像のみが記憶される。すなわち、先の基準フィールドでの書き込み動作の際に $(K+1)$ ラインの抽出画像用に確保されていた(空けていた)アドレス領域に、 $(K+1)$ ラインの抽出画像を記憶することになる。

この $(K+1)$ ラインの記憶動作が終了すると、前記同様のアドレスインクリメントを行う事で、 $(K+3)$ 番目のライン用に確保しておいたアドレス領域にアドレスをスキップする。

この後、 $(K+3)$ ラインの画像、 $(K+5)$ ラインの画像、…が順次入力されるので、これらの各ラインの画像のうちの抽出領域P内に含まれる分を、前記と同様にしてアドレスをインクリメントしながら順次フレームメモリ20に記憶していく。この結果、抽出領域Pの副画像のうちの非基準フィールド側の画像が、飛び飛びに空けられていたアドレス領域に記憶されることになる。

以上の書き込み動作が繰り返し実行される。

このようにして、インターレース画像を1つのフレームメモリ20の連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶することができる。

したがって、図12に示すように、主画像表示エリアの一部の合成領域Qに副画像をスーパーインポーズする際には、主画像のノンインターレース走査タイミングに同期して表示エリアの合成領域Qが走査されるときに主画像に切り替えてフレームメモリ20に記憶した副画像を読み出して出力する様にすればよい。

以下、本発明の実施形態についてより詳細に説明する。

図11は、画像合成装置の全体図を示している。

この画像合成装置は、LCDやCRTディスプレイなどのノンインターレース走査の表示器1の一部領域にCCDカメラ2などのインターレース信号をスーパーインポーズ表示するためのものである。すなわち、この場合、表示器1用の主画像信号はノンインターレース信号であり、また主画像に合成される副画像信号はインターレース信号である。

図11において、ノンインターレース走査方式の主画像信号VDMは、同期検出回路3およびA/D変換器4に入力されている。同期検出回路3は主画像信号VDMから主画像の水平同期信号VHSおよび垂直同期信号VVSを抽出してこれをコントローラ10に出力する。すなわち、主画像信号VDMは、先の図2に示したように、水平同期信号VHSおよび垂直同期信号VVSを含んでおり、同期検出回路3では、主画像信号VDMから水平同期信号VHSおよび垂直同期信号VVSを抽出する。なお、水平同期信号VHSは各水平ライン毎に1回ずつ所定の時間間隔で入力される信号であり、また垂直同期信号VVSは1フレーム（1画面）毎に画像信号の前に入力される信号である。なお、VHS信号、VVS信号は、はじめから独立した信号である場合もある。

A/D変換器4は、入力された主画像信号VDMを所定ビット数の階調データから成るデジタルデータに変換し、これをセクタ6に出力する。

読出しクロック信号発生回路5は、例えばPLL（位相ロックループ）回路、通倍回路などで構成され、同期検出回路2から入力される水平同期信号VHSに基づき該水平同期信号VHSの位相にロックされる所定の位相及び周波数の読出し用ドットクロック信号CKRを形成し、これを出力する。なお、この読出し用ドットクロック信号CKRの周波数は、主画像信号の各水平ラインの画像周波数（各画素の繰り返し周波数）に一致するように設定されている。この読出し用ドットクロック信号CKRは、コントローラ10、フレームメモリ20およびA/D変換器4に入力され、フレームメモリ20からのデータ読出し等のために用いられる。

CCDカメラ2から出力されるインターレース走査方式の副画像信号VDSは、同期分離回路7およびアンプ8に入力されている。同期分離回路7は、副画像信号VDSから水平同期信号NHSおよび垂直同期信号NVSを分離するとともに（図2参

照)、奇数フィールド(奇数ライン全体の画像データの集合)と偶数フィールド(偶数ライン全体の画像データの集合)とを識別するフィールド識別信号ODD(奇数フィールドでH(ハイ)、偶数フィールドでL(ロー))を生成し、これらの信号をコントローラ10に出力する。なお、副画像信号VDS中で垂直同期信号NVSは、主画像信号VDMのように1フレーム単位ではなく、1フィールド毎に現れる。

アンプ8では入力された副画像信号VDSを増幅してこれをA/D変換器9に入力する。A/D変換器9は、入力された副画像信号VDSを所定ビット数の階調データから成るデジタルデータに変換し、これをフレームメモリ20に出力する。

書込みクロック発生回路11は、例えばPLL(位相ロックループ)回路および通倍回路で構成され、同期検出回路7から入力される水平同期信号NHSに基づき所定の位相及び周波数の書込み用ドットクロック信号CKWを形成し、これを出力する。なお、この書込み用ドットクロック信号CKWの周波数は、副画像信号の各水平ラインの画像周波数(各画素の繰り返し周波数)に対応するように設定されている。この書込み用ドットクロック信号CKWは、コントローラ10、フレームメモリ20およびA/D変換器9に入力され、フレームメモリ20へのデータ書込みなどのために用いられる。

フレームメモリ20は、高速で非同期のリード/ライト動作が可能なシリアルアクセスメモリであり、記憶される副画像データはKビット(例えば8ビット)単位に並列に入力され、記憶されたデータはKビット単位に並列に出力される。すなわち、このシリアルアクセスメモリ20においては、ライトアドレスポインタによってKビット単位に連続したアドレスに書込み動作を行い、リードアドレスポインタによってKビット単位に連続したアドレスから読出し動作を行うものであり、これら各アドレスポインタの動作によって読出し動作と書込み動作は全く独立して行うことができる。

この1つのフレームメモリ20に対して、前述した書込み制御によって、奇数フィールド及び偶数フィールドからなる副画像データを連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶する。

このフレームメモリ 20 が有する各端子の機能は以下の通りである。

DI0-7 (データ入力) :

シリアルデータ入力端子

RSTW (リセットライト) :

ライトアドレスポインタをイニシャライズ (0 番地に戻す) するための  
リセット入力端子

WE (ライトイネーブル) :

ライトアドレスポインタをイネーブルにするための端子、WE が「H」  
のときはライトアドレスポインタは SWCK に同期してインクリメント  
していく

IE (インプットイネーブル) :

書込み動作をイネーブルにするための端子、IE が「H」のときはデー  
タを内部に取り込み、IE が「L」のときはデータを取り込まない。W  
E を「H」に、IE を「L」にして SWCK を入力した場合、ライトア  
ドレスポインタはインクリメントされるが、実際の書込み動作は行われ  
ない

SWCK (シリアルライトクロック) :

書込み用クロック入力端子

DO0-7 (データ出力) :

シリアルデータ出力端子

RSTR (リセットリード) :

リードアドレスポインタをイニシャライズ (0 番地に戻す) するための  
リセット入力端子

RE (リードイネーブル) :

リードアドレスポインタをイネーブルにするための端子

OE (アウトプットイネーブル) :

読出し動作をイネーブルにするための端子

SRCK (シリアルリードクロック) :

読出し用クロック入力端子。

セクタ 6 は、A/D変換器 4 から出力される主画像データとフレームメモリ 20 から出力される副画像データとをコントローラ 10 から出力されるセレクト信号 S L1によって切換え、これを表示器 1 に出力することにより、主画像データに副画像データを合成して表示させる。

高速クロック発生回路 12 は、前述したフレームメモリ 20 のアドレスインクリメントの際に、フレームメモリ 20 のライトアドレスポインタを高速にインクリメントするためのインクリメント用高速クロック信号 C K I を発生し、これをセクタ 13 に出力する。なお、高速クロック信号 C K I によってフレームメモリ 20 のライトアドレスポインタを高速にインクリメントする際には、ライトイネーブル端子 R E = H, インプットイネーブル端子 I E = L にしているので、ライトアドレスポインタがインクリメントされるのみで、実際の副画像データの書込みは行われない。

セクタ 13 は、書込みクロック発生回路 11 から出力される書込み用ドットクロック信号 C K W と高速クロック発生回路 12 から出力される高速クロック信号 C K I をコントローラ 10 から出力されるセレクト信号 S L2によって切換え、これをフレームメモリ 20 のシリアルライトクロック端子 S W C K に入力する。

合成設定装置 30 は、例えばパーソナルコンピュータで構成され、副画像を主画像に合成する際の、表示領域管理、倍率管理、合成管理などの処理をソフトウェア的に実行している。

すなわち、合成設定装置 30 では、図示しない入力設定手段によって、副画像中で主画像に合成されるべき領域を指定するデータ、主画像の表示エリア中で副画像を表示する領域を指定するデータ、副画像を等倍、縮小または拡大して主画像中に表示することを指定する倍率データ S B などが設定されると、これらのデータに基づいて下記の各アドレスデータなどを演算し、これらデータをコントローラ 10 に出力する。

N I S X :

抽出する副画像領域の開始 X 座標に対応する X アドレス

N I S Y :

抽出する副画像領域の開始Y座標に対応するYアドレス

N I E X :

抽出する副画像領域の終了X座標に対応するXアドレス

N I E Y :

抽出する副画像領域の終了Y座標に対応するYアドレス

V D S X :

主画像中で副画像を合成する領域の開始X座標に対応するXアドレス

V D S Y :

主画像中で副画像を合成する領域の開始Y座標に対応するYアドレス

V D E X :

主画像中で副画像を合成する領域の終了X座標に対応するXアドレス

V D E Y :

主画像中で副画像を合成する領域の終了Y座標に対応するYアドレス

N 2 S X :

副画像中で合成用に抽出する領域の水平ライン方向（X方向）の画素数を示すデータであり、前記アドレスインクリメントの際にインクリメントするアドレス量に対応する。

例えば、図13に示したように、副画像の全領域G1中で主画像に合成するために抽出される領域として左上座標（X1, Y1）、右下座標を（X2, Y2）を有する領域Pが指定されたとすると、合成設定装置30は、 $N I S X = X1$ 、 $N I S Y = Y1 / 2$ 、 $N I E X = X2$ 、 $N I E Y = Y2 / 2$ に対応するアドレス値を演算し、これらをコントローラ10に出力する。なお、副画像はインターレース信号で奇数フィールドおよび偶数フィールドを有しているので、 $N I S Y = Y1 / 2$ 、 $N I E Y = Y2 / 2$ としている。

また、図12に示したように、主画像の全表示エリアGMで副画像に合成表示するためのエリアとして左上座標（XM1, YM1）、右下座標を（XM2, YM2）を有する合成領域Qが指定されたとすると、合成設定装置30は、 $V D S X = XM1$ 、



$VDSY = YM1$ 、 $VDEX = XM2$ 、 $VDEY = YM2$ に対応するアドレス値を演算し、これらをコントローラ 10 に出力する。

また、インクリメントするアドレス量を示すデータ  $N2SX$  は、  
等倍のときは

$$N2SX = NIE X - NIS X \quad \dots (10)$$

縮小のときは

$$N2SX = (1/n) (NIE X - NIS X)$$

$n$  ; 自然数

$$\dots (11)$$

となる。図 13 に示した領域  $P$  が等倍で主画像に合成される場合、 $N2SX = X2 - X1$  となる。

次に、図 11 に示したコントローラ 10 について説明する。このコントローラ 10 は、合成設定装置 30 から入力された前記合成用のアドレスデータ、倍率データ  $SB$  などに基づいてフレームメモリ 20 に対する副画像の入出力制御、セクタ 6 及び 13 の切換制御を行うものであり、その詳細構成例を図 16 及び図 17 に示す。

図 16 は、コントローラ 10 におけるフレームメモリ 20 に対する書込み制御系の構成を示すものであり、各構成要素の機能を図 18 のタイムチャートを参照して説明する。

図 16 において、入力開始  $X$  アドレスレジスタ 41、入力終了  $X$  アドレスレジスタ 44、入力開始  $Y$  アドレスレジスタ 46 および入力終了  $Y$  アドレスレジスタ 49 には、図 1 の合成設定装置 30 から入力された各アドレス値  $NIS X$ 、 $NIE X$ 、 $NIS X$  および  $NIE Y$  がそれぞれ設定される。

$X$  入力カウンタ 42 は、同期分離回路 7 から入力された水平同期信号  $NHS$  によってそのカウント値がリセットされ、書込みクロック発生回路 11 から入力される書込み用ドットクロック信号  $CKW$  に同期してその計数動作を実行するものであり、そのカウント値  $NI X C$  をコンパレータ 43 および 45 に出力する。コンパレータ 43 は、前記カウント値  $NI X C$  を設定アドレス値  $NIS X$  と比較し、これら

が一致したときに一致信号を出力する。コンパレータ 4 5 はカウント値  $N I X C$  を設定アドレス値  $N I E X$  と比較し、これらが一致したときに一致信号を出力する。ライトイネーブル  $X$  生成回路 5 1 は、コンパレータ 4 3 から一致信号が出力されたときに  $H$  になり、その後コンパレータ 4 5 から一致信号が出力されたときに  $L$  になるライトイネーブル  $X$  信号  $WENX$  を発生する。

$Y$  入力カウンタ 4 7 は、同期分離回路 7 から入力された垂直同期信号  $NVS$  によってそのカウント値がリセットされ、水平同期信号  $NHS$  に同期してその計数動作を実行するものであり、そのカウント値  $N I Y C$  をコンパレータ 4 8 および 5 0 に出力する。コンパレータ 4 8 は、前記カウント値  $N I Y C$  を設定アドレス値  $N I S Y$  と比較し、これらが一致したときに一致信号を出力する。コンパレータ 5 0 はカウント値  $N I Y C$  を設定アドレス値  $N I E Y$  と比較し、これらが一致したときに一致信号を出力する。ライトイネーブル  $Y$  生成回路 5 2 は、コンパレータ 4 8 から一致信号が出力されたときに  $H$  になり、その後コンパレータ 5 0 から一致信号が出力されたときに  $L$  になるライトイネーブル  $Y$  信号  $WENY$  を発生する。

すなわち、ライトイネーブル  $X$  信号  $WENX$  は入力されている副画像データの主走査方向アドレスが図 3 に示した合成領域  $P$  に対応していることを示し、またライトイネーブル  $Y$  信号  $WENY$  は入力されている副画像データの副走査方向アドレスが図 3 に示した合成領域  $P$  に対応していることを示している。これらの信号  $WENX$  および  $WENY$  はアンド回路 5 3 で論理積がとられ、副画像データの書き込み制御用のライトイネーブル信号  $WENXY$  としてライトコントローラ 5 4 に入力されている。

インクリメント量レジスタ 5 5 には、合成設定装置 3 0 から入力されたインクリメント量データ  $N 2 S X$  が設定される。 $X$  画素数カウンタ 5 6 は、ライトコントローラ 5 4 からロード信号  $L o a d$  が入力される度にインクリメント量レジスタ 5 5 の設定値  $N 2 S X$  をロードし、このロード値を図 1 1 の高速クロック発生回路 1 2 から出力される高速クロック信号  $C K I$  に同期してダウンカウントするので、ダウンカウント終了後に発生するボロー信号  $B o r$  をライトコントローラ 5 4 に出力する。すなわち、このボロー信号  $B o r$  は、前述のアドレスインクリメント動作が終了したときに出力される。

ライトコントローラ 54 は、ライトイネーブル信号 WENXY、ボロー信号 B o r、水平同期信号 NHS、垂直同期信号 NVS、フィールド識別信号 ODD、縮倍率データ SB 等に基づいて、フレームメモリ 20 へのリセットライト信号 R S T W、ライトイネーブル信号 WE、インプットイネーブル I E と、セクタ 13 の切換信号 S L 2 を形成し、これを出力するものである。

リセットライト信号 R S T W は、副画像データの垂直同期信号 NVS をトリガとして発生される（図 18 (e) 参照）。副画像データでは、垂直同期信号 NVS は奇数フィールドおよび偶数フィールド各開始時に発生されるので、フレームメモリ 20 のライトアドレスポインタはフィールド単位に（奇数フィールドおよび偶数フィールド）にリセットされる。

L o a d 信号は、垂直同期信号 NVS が入力された時点と、アンド回路 53 から入力されるライトイネーブル信号 WENXY が H から L に立ち下がる度に出力される（図 18 (d) 参照）。

ライトイネーブル信号 WE は、アンド回路 53 から入力されるライトイネーブル信号 WENXY が H のときと、このライトイネーブル信号 WENXY が H から L に立ち下がった直後から X 画素数カウンタ 56 からボロー信号 B o r が出力されるまでの期間に H になる（図 18 (g) 参照）。すなわち、ライトイネーブル信号 WENXY が H のときにライトイネーブル信号 WE を H にするのは、実際に副画像をフレームメモリ 20 に書き込むためであり、ライトイネーブル信号 WENXY が L に立ち下がった直後から X 画素数カウンタ 56 からボロー信号 B o r が出力されるまでの期間にライトイネーブル信号 WE を H にするのは、前述したアドレスのインクリメント動作（ライトアドレスポインタのインクリメント動作）を行うためである。

ただし、非基準フィールド（図 18 では偶数フィールド）の場合は、先の図 15 に示したように、非基準フィールドの垂直同期信号 NVS の直後にアドレスインクリメント動作を行う必要があるために、非基準フィールドの垂直同期信号 NVS の立ち上がりトリガとして、X 画素数カウンタ 56 のダウンカウント動作を行わせることで、垂直同期信号 NVS が H に立ち上がってから X 画素数カウンタ 56 からボロー信号 B o r が出力されるまでの期間にライトイネーブル信号 WE を H にするよ

うにしている。

インプットイネーブル信号 I E は、前述したライトイネーブル信号 W E を作成する論理を用いて、前述したアドレスのインクリメント動作（ライトアドレスポインタのインクリメント動作）を行うときに L にする（図 18 (h) 参照）。

セレクト信号 S L 2 はインプットイネーブル信号 I E と同様の信号である。したがって、図 18 (i) に示すように、セレクト信号 S L 2（インプットイネーブル信号 I E）が L の期間は、アドレスインクリメント用の高速クロック信号 C K I がフレームメモリ 20 のシリアルライトクロック端子 S W C K に入力され、それ以外の期間は、書き込みクロック発生回路 11 から出力される書き込み用ドットクロック信号 C K W が前記シリアルライトクロック端子 S W C K に入力されることになる。

図 17 は、コントローラ 10 におけるフレームメモリ 20 に対する読出し制御系の構成を示すものである。

図 17 において、表示開始 X アドレスレジスタ 61、表示終了 X アドレスレジスタ 64、表示開始 Y アドレスレジスタ 66 および表示終了 Y アドレスレジスタ 69 には、図 1 の合成設定装置 30 から入力された各アドレス値 V D S X, V D E X, V D S X および V D E Y がそれぞれ設定される。

X 表示カウンタ 62 は、同期検出回路 3 から入力された水平同期信号 V H S によってそのカウント値がリセットされ、読出しクロック発生回路 5 から入力される読出し用ドットクロック信号 C K R に同期してその計数動作を実行するものであり、そのカウント値 V D X C をコンパレータ 63 および 65 に出力する。コンパレータ 63 は、前記カウント値 V D X C を設定アドレス値 V D S X と比較し、これらが一致したときに一致信号を出力する。コンパレータ 65 はカウント値 V D X C を設定アドレス値 V D E X と比較し、これらが一致したときに一致信号を出力する。リードイネーブル X 生成回路 71 は、コンパレータ 63 から一致信号が出力されたときに H になり、その後コンパレータ 65 から一致信号が出力されたときに L になるリードイネーブル X 信号 R E N X を発生する。

Y 表示カウンタ 67 は、同期検出回路 3 から入力された垂直同期信号 V V S によってそのカウント値がリセットされ、水平同期信号 V H S に同期してその計数動作を実

行するものであり、そのカウント値VDYCをコンパレータ68および70に出力する。コンパレータ68は、前記カウント値VDYCを設定アドレス値VDSYと比較し、これらが一致したときに一致信号を出力する。コンパレータ70はカウント値VDYCを設定アドレス値VDEYと比較し、これらが一致したときに一致信号を出力する。リードイネーブルY生成回路72は、コンパレータ68から一致信号が出力されたときにHになり、その後コンパレータ70から一致信号が出力されたときにLになるリードイネーブルY信号RENYを発生する。

すなわち、リードイネーブルX信号RENXは入力されている主画像データの主走査方向アドレスが図2に示した合成領域Qに対応していることを示し、またリードイネーブルY信号RENYは入力されている主画像データの副走査方向アドレスが図2に示した合成領域Qに対応していることを示している。これらの信号RENXおよびRENYは、副画像データの読出し制御のためにリードコントローラ73に入力される。

リードコントローラ73は、リードイネーブル信号RENX, RENE、水平同期信号VHS、垂直同期信号VVS、縮倍率データSB等に基づいて、フレームメモリ20へのリセットリード信号RSTR、リードイネーブル信号RE、アウトプットイネーブルOEと、セクタ6の切換信号SL1を形成し、これを出力するものである。

このリードコントローラ73は、主画像のノンインターレース走査のタイミングに同期して表示エリアの合成領域Qが走査されるときに主画像に切り替えてフレームメモリ20に記憶した副画像を読み出して出力することにより、主画像表示エリアの一部領域Qに副画像をスーパーインポーズするものであるが、その機能に従来とは変わらないので、出力信号の詳細な説明は省略する。ただし、前述したように、フレームメモリ20には、インターレース副画像が連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶されているので、その読み出しアドレスは連続アドレスとなり、極めて簡単なアドレス制御によって所要の副画像データを読み出すことができる。なお、リードコントローラ73から出力されるセクタ6の切換信号SL1は、リードイネーブル信号RENX, RENEの双方がHの期間に、フレームメモリ20から読み出される副画像データを

選択し、それ以外の期間にA/D変換器4から出力される主画像データを選択するようそのH、Lレベルが決定されている。

次に、このような構成の画像合成装置の作用を説明する。

なお、副画像を等倍で主画像にスーパーインポーズする際の動作については、上述の説明で明らかになったと思慮するので、副画像を縮小して主画像にスーパーインポーズする際の動作について説明する。

この場合、図13に示した抽出領域Pの副画像を1/M倍に縮小して合成するときについて説明する。

即ち、1/Mの縮小は次のような間引き処理によって行われる。

Y方向に関しては、抽出領域Pに含まれる副画像のうちで奇数フィールドおよび偶数フィールドの画像を双方ともMラインに1回抽出し、これらを抽出した画像をフレームメモリ20に書き込むことで、副画像をY方向に1/Mに縮小する。例えば1/3に縮小するときは、奇数フィールドの1番目のライン（フレームとしてみれば第1ライン）、4番目のライン（フレームとしてみれば第7ライン）、7番目のライン（フレームとしてみれば第13ライン）、…を抽出して奇数フィールドを1/3に縮小する。また、偶数フィールドの2番目のライン（フレームとしてみれば第4ライン）、5番目のライン（フレームとしてみれば第10ライン）、8番目のライン（フレームとしてみれば第16ライン）、…を抽出して偶数フィールドを1/3に縮小する。

X方向に関しては、前記間引いた奇数フィールド及び偶数フィールドの各ラインの画像に対して、Mドットに1回画像を抽出して副画像をX方向に1/Mに縮小する。

このようにして、副画像を主副走査方向に1/Mに縮小してフレームメモリ20に記憶する。ただし、この縮小の際の書き込み動作の際にも、先の図14及び図15を用いて説明したアドレスインクリメント動作が行われ、縮小された副画像はフレームメモリ20の連続したアドレス領域にノンインターレース走査の順番通りに記憶される。

また、読出しの際は、図12に示した副画像合成領域Qの大きさがXY方向に

1/Mに縮小され、この縮小されたエリアQ内に前記縮小された副画像データが表示されるよう、主画像および副画像の切換動作が行われる。

以下、この1/Mの縮小動作についてより詳細に説明する。

まず、合成設定装置30からN1SX=X1、N1SY=Y1/2、N1EX=X2、N1EY=Y2/2に対応するアドレス値と、N2SX=(X2-X1)/Mに対応するインクリメントアドレス量とが出力され、これらのデータがコントローラ10の図16に示した各レジスタに設定される。また、倍率データSBとして1/Mが図16のライトコントローラ54に入力される。

また、図12に示した合成領域Qに1/Mに縮小された副画像データを合成するものとする、合成設定装置30からVDSX=XM1、VDSY=YM1、VDEX=XM2、VDEY=YM2に対応するアドレス値が出力され、これらのデータがコントローラ10の図17に示した各レジスタに設定される。

なお、この場合、合成領域Qの大きさは、縮小される副画像に応じて縮小する必要がある、上記VDSX=XM1、VDSY=YM1、VDEX=XM2、VDEY=YM2の各値は、

$$N1EX - N1SX = M (VDEX - VDSX)$$

$$N1EY - N1SY \geq M (VDEY - VDSY) / 2$$

... (12)

を満足するように合成設定装置30内で計算され、これらの値がコントローラ10の図17に示した各レジスタに設定される。

まずコントローラ10による書き込み処理は次のようにして行われる。

この場合、基準フィールドは奇数フィールドであり、非基準フィールドは偶数フィールドであるとする。

ライトコントローラ54は、奇数フィールドの垂直同期信号NVSを検出した時点で、リセットライト信号RSTWを出力し、フレームメモリ20のライトアドレスポインタをリセットして、先頭のアドレス領域からデータが記憶されるようにする。

その後1ライン毎の水平同期信号NHSと共に、奇数フィールドの各ラインの画像

が順次入力される。

この後、アンド回路 5 3 から出力されるライトイネーブル信号 WENXY が H になると、この H になっている期間中（抽出領域 P 内が走査されているとき）、ライトコントローラ 5 4 は、奇数フィールドの副画像を縮小率  $1/M$  に対応する間引きしてフレームメモリ 2 0 に書き込むのであるが、この処理は次のようにして行われる。

Y 方向に関しては、水平同期信号 NHS を計数することにより、水平同期信号が M 個入力される度に 1 回だけライトイネーブル信号 WE およびインプットイネーブル信号 IE を H に立ち上げることににより、M ラインに 1 回だけ当該ラインの副画像をフレームメモリ 2 0 に書き込む。

また、X 方向に関しては、書込み用ドットクロック信号 CKW を計数することにより、ドットクロック信号 CKW が M 個入力される度に 1 回だけライトイネーブル信号 WE を H に立ち上げることににより、M 画素に 1 回だけ当該画素の副画像をフレームメモリ 2 0 に書き込む。

また、ライトコントローラ 5 4 は、抽出領域 P に含まれる 1 ライン分の副画像の間引き書き込みが終了する度に、Load 信号を X 画素数カウンタ 5 6 に出力してインクリメント量レジスタ 5 5 に設定されているアドレスインクリメント値 N2SX を X 画素数カウンタ 5 6 にロードし、このロード値 N2SX からのダウンカウント動作を高速クロック CKI に同期して行わせる。そして、ライトコントローラ 5 4 は、X 画素数カウンタ 5 6 でダウンカウント動作が行われている期間中、インプットイネーブル信号 IE を L にすることで、フレームメモリ 2 0 のライトアドレスポインタを抽出領域 P 内の主走査方向の縮小後の画素数分の画像に対応するアドレス分だけ進め、これにより次の非基準フィールド（この場合偶数フィールド）の該当ラインの抽出画像を記憶するアドレス領域を確保しておく。このライトアドレスポインタのインクリメント処理が行われる期間は、前述したように、ドットクロック信号 CKW に切り替えて高速クロック CKI が、フレームメモリ 2 0 のシリアルライトクロック端子 SWCK に入力されているので、前記インクリメント動作は極めて短時間で行われる。



このようにして、この段階では、フレームメモリ 20 には、 $1/M$  に縮小された抽出領域 P の奇数フィールドの画像が、飛び飛びのアドレス領域に記憶されることになる。

次に、ライトコントローラ 54 は、偶数フィールドの垂直同期信号 NVS を検出すると、この時点でリセットライト信号 RSTW を出力し、フレームメモリ 20 のライトアドレスポインタをリセットして、先頭のアドレス領域からデータが記憶されるようにする。さらに、ライトコントローラ 54 は、X 画素数カウンタ 56 を用いて前記と同様のライトアドレスポインタのインクリメント動作を行うことで、既に記憶された奇数フィールドの抽出領域 P の第 1 番目（正確には、間引きによって選択された最初のライン）のラインの画像に対応するアドレス領域分だけアドレスをオフセットしておく。

その後 1 ライン毎の水平同期信号 NHS と共に、偶数フィールド側の各ラインの画像が順次入力される。

この後、アンド回路 53 から出力されるライトイネーブル信号 WENXY が H になると、この H になっている期間中（抽出領域 P 内が走査されているとき）、ライトコントローラ 54 は、前述と同様にして、偶数フィールドの副画像を縮小率  $1/M$  に対応して間引きしてフレームメモリ 20 に書き込む。

また、ライトコントローラ 54 は、抽出領域 P に含まれる偶数フィールドの 1 ライン分の副画像の間引き書き込みが終了する度に、前述と同様のアドレスポインタのインクリメント処理を行うことで、先の奇数フィールドの書き込み動作の際に空けていたアドレス領域に、偶数フィールドの縮小画像を書き込み、これにより縮小したインターレース画像を 1 つのフレームメモリ 20 の連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶する。

以上の書き込み動作が繰り返し実行される。

次に、読み出しの際は、前記第 (12) 式を満足する値の VDSX、VDSY、VDEX、VDEY が合成設定装置 30 によってコントローラ 10 の図 17 に示した各レジスタに設定される。

したがって、図 17 のリードイネーブル X 生成回路 71、リードイネーブル Y

生成回路 72 からは、主画像の走査アドレスが VDSX、VDSY、VDEX、VDEY によって規定される範囲内のときにライトイネーブル信号 RENX、RENY が H になって出力される。

リードコントローラ 73 では、これらライトイネーブル信号 RENX、RENY が共に H のとき、読出し用ドットクロック信号 CKR に同期してフレームメモリ 20 に記憶された副画像を先頭アドレスから順番に読み出す。また、リードコントローラ 73 は、前記ライトイネーブル信号 RENX、RENY が共に H のときセレクト信号 SL1 を副画像選択側に切換え、これにより、読み出された副画像をセクタ 6 を介して表示器 1 に出力する。

この結果、前記抽出領域 P 中の副画像は、 $1/M$  に縮小されて、表示器 1 の所定の領域にスーパーインポーズされることになる。

このようにこの実施形態によれば、1 つのシリアルアクセスメモリ 20 を用いてインターレース走査の副画像をノンインターレース走査の主画像画面にスーパーインポーズ表示することが可能になる。

つぎに、図 19 ～ 図 23 など参照してこの発明のさらに別の実施形態について説明する。

この図 19 ～ 図 23 の実施形態も、先の図 11 ～ 図 18 に示した実施形態と同様、図 12 及び図 13 に示したように、ノンインターレース走査の主画像が表示される表示器の表示エリア GM の一部の合成領域 Q に、インターレース走査の副画像中の任意の抽出領域 P 中の画像をスーパーインポーズ表示する。

この図 19 ～ 図 23 に示す実施形態においては、副画像を記憶するフレームメモリとして、通常のビデオメモリ (VRAM) 200 を 1 個用い、この VRAM 200 に対し先の図 14 及び図 15 に示したような書込み制御を行うことでインターレース信号をノンインターレース信号に変換するとともに、変換されたノンインターレース信号を VRAM 200 内の連続したアドレス領域に記憶するようにしている。また、この実施形態では、先の図 1 に示したラインバッファ FIFO 108 の機能を、VRAM 200 に内蔵されたシリアルアクセスメモリ (以下 SAM という) で代用することで、フレームメモリの出力側に特別な別 IC から成

るラインバッファを設けることなく拡大処理を行えるようにしている。

図20は、この実施形態におけるVRAM200に対するインターレース副画像の等倍表示の書込み制御のタイムチャートを概念的に示すもので、この図20においては、先の図15に示したタイムチャートの「アドレスインクリメント処理」が「アドレス加算処理」に置換されている。すなわち、図19のVRAM200においては、先の図11のシリアルアクセスメモリ20のようにライトアドレスポインタのクロック信号に基づくインクリメント動作によってアドレスが更新されるのではなく、アドレス信号自体をVRAM200に直接入力してアドレス指定が行われるようになっているので、前述のインクリメント量に対応するアドレス分だけアドレスを加算処理することで、前記同様、基準フィールドの副画像をVRAM200の飛び飛びのアドレス領域に対して書込み処理する。そして、この飛び飛びのアドレス領域間に非基準フィールドの副画像を書込み処理することによって、インターレース副画像を1つのVRAM200の連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶する。

以下、図面を参照しつつこの実施形態をより詳細に説明する。

図19は、この実施形態における画像合成装置の全体図を示している。なお、図19において、先の図11に示した構成要素と同じ機能を達成するものに関しては、同一符号を付しており、重複する説明は省略する。

図19において、インターレース走査の副画像を記憶するフレームメモリとして用いられるVRAM200は、ダイナミックランダムアクセスメモリ（以下RAMという）201と、SAM202と、アドレスカウンタ203を有している。RAM201は、コントローラ210から入力される書込みおよび読出しのための制御信号およびアドレス信号ADに従って、A/D変換器9から入力される副画像データを書き込むライト動作と、同制御信号およびアドレス信号ADに従って記憶された副画像データをSAM202に出力するデータ転送動作を実行する。アドレスカウンタ203は、コントローラ210から入力されたシリアルクロック信号SCに従ってSAM202の出力アドレスを形成し、これを出力する。SAM202は、アドレスカウンタ203から入力されたアドレス信号に従って、

一時記憶した副画像データをシリアルに出力する。

図 21 は、図 19 のコントローラ 210 の内部構成を示すもので、書込み制御系は、ライトコントローラ 211、副画像入力制御回路 122、スキップ量レジスタ 212、加算回路 213、ラッチ 214 およびアドレスカウンタ 215 を有している。また、読み出し制御系は、リードコントローラ 230、副画像出力制御回路 124、加算回路 231、ラッチ 232 などを有している。

まず、書込み制御系について説明する。

副画像入力制御回路 122 は、先の図 6 または図 16 に示したものと同様の内部構成を有しており、書込み用ドットクロック信号 CKW、水平同期信号 NHS および垂直同期信号 NVS に基づいて、ライトイネーブル X 信号 WENX およびライトイネーブル Y 信号 WENY を形成し、これらの信号をライトコントローラ 211 に入力する。すなわち、前述したように、ライトイネーブル X 信号 WENX は入力されている副画像データの主走査方向アドレスが図 13 に示した抽出領域 P に対応していることを示しており、このライトイネーブル X 信号 WENx は副画像データの主走査方向アドレスが抽出領域 P の画像データのときにのみハイレベルとなる。またライトイネーブル Y 信号 WENY は入力されている副画像データの副走査方向アドレスが図 13 に示した抽出領域 P に対応していることを示しており、副画像データの副走査方向アドレスが抽出領域 P の画像データのときにのみハイレベルとなる。

スキップ量レジスタ 212 は、先の図 11 の実施形態のインクリメント量レジスタ 55（図 16 参照）に対応しており、ライトコントローラ 211 によって等倍合成の場合は図 13 に示した抽出領域 P 内の水平方向のドット数に対応するアドレス量 E がセットされる。また、 $1/M$  の縮小合成の場合は、 $E/M$  に対応するアドレス量がセットされる。

加算回路 213 は、アドレスカウンタ 215 の出力アドレス WAD とスキップ量レジスタ 212 に設定されたスキップ量 E とを加算し、その加算結果をラッチ回路 214 に出力する。ラッチ回路 214 は、加算回路 213 の出力をラッチタイミング信号 L1CK 信号に従ってラッチする。

アドレスカウンタ 215 は、垂直同期信号 NVS の同期部によってその出力がリセ

ットされるとともに、ロード信号Loadにしたがってラッチ回路214の出力を初期セット値として取り込み、この取り込んだ初期セット値から書込み用ドットクロック信号CKWに同期したカウント動作を行うもので、そのカウント出力をVRAM200への書込みアドレス信号WADとして出力する。ただし、このアドレスカウンタ215は、イネーブル信号ENが有効であるときにのみ、そのカウント動作を実行する。

ライトコントローラ211の内部構成を図22に示す。

図22において、ドット間引きカウンタ216は、縮小処理の際のドットの水平方向間引き処理を行うためのもので、 $1/M$ への縮小処理の際には、アドレスカウンタ215でのカウンタ動作が書込み用ドットクロック信号CKWがM個入力される毎に1回だけ実行されるようなイネーブル信号ENxを形成し、このイネーブル信号ENxをアンド回路219に出力する。すなわち、ドット間引きカウンタ216では、倍率データSB（縮小率 $1/M$ の場合）に基づいて書込み用ドットクロック信号CKWを計数することにより、ドットクロック信号CKWがM個入力される度に1回だけイネーブル信号ENxをHに立ち上げるようにする。勿論、等倍処理の場合は、イネーブル信号ENxは常にHになっている。

ライン間引きカウンタ216は、縮小処理の際の副走査方向についての間引き処理を行うためのもので、 $1/M$ への縮小処理の際には、アドレスカウンタ215でのカウンタ動作がライトイネーブルX信号WENXがM個入力される毎に1回だけ実行されるようなイネーブル信号ENY<sup>ˆ</sup>を形成し、このイネーブル信号ENY<sup>ˆ</sup>をアンド回路218に出力する。すなわち、ライン間引きカウンタ217では、倍率データSB（縮小率 $1/M$ の場合）に基づいてライトイネーブルX信号WENXを計数することにより、ライトイネーブルX信号WENXがM個入力される度に1回だけイネーブル信号ENY<sup>ˆ</sup>をHに立ち上げるようにする。勿論、等倍処理の場合は、イネーブル信号ENY<sup>ˆ</sup>は常にHになっている。

アンド回路218は、イネーブル信号ENY<sup>ˆ</sup>、ライトイネーブルX信号WENXおよびライトイネーブルY信号WENYの論理積をとり、そのアンド出力WENをアンド回路219およびアドレスカウンタ制御回路22に出力する。したがって、ア

ンド回路 218 の出力 WEN は、先の図 13 に示す抽出領域 P 内の各ラインのうちの縮小率  $1/M$  に応じた間引き処理（等倍の場合は間引きなし）によって残った実際に書込みが行われるラインのときにハイレベルになり、かつそのハイレベルの期間はライトイネーブル X 信号 WENX によって規定されることになる。

アンド回路 219 では、この信号 WEN とイネーブル信号 ENX との論理積をとり、そのアンド出力をイネーブル信号 EN としてアドレスカウンタ 215 に入力する。したがって、イネーブル信号 EN は、上記信号 WEN に対して水平方向の間引き処理（等倍の場合は間引きなし）が加わったものとなり、信号 WEN がハイレベルである区間のうちの、ドット間引きカウンタ 216 での間引き処理によって残った実際に書込みが行われるドットのときにハイレベルとなる。

アドレスカウンタ制御回路 220 は、上記 WEN 信号、イネーブル信号 EN、垂直同期信号 NVS およびフィールド識別信号 ODD などに基づいて先の図 21 に示すラッチ回路 214 に出力するラッチタイミング信号 L1CK と、アドレスカウンタ 215 に出力するロード信号 Load と、VRAM 200 にデータ書込みを行うための書込み制御信号を形成するもので、その形成処理内容を図 23 のフローチャートに示す。なお、アドレスカウンタ制御回路 220 は実際はデジタル回路で構成しているが、便宜上その処理内容をフローチャートで示した。

アドレスカウンタ制御回路 220 では、フィールド識別信号 ODD などに基づいて現フィールドが基準フィールドか否かを判定し（ステップ 300）、基準フィールドである場合は、WEN 信号の立上りを判定する（ステップ 301）。そして、WEN 信号が立ち上がっている期間に VRAM 200 にデータ書込みを行うための書込み制御信号を形成し、これらの書込み制御信号を VRAM 200 に入力することで、WEN 信号が立ち上がっている期間に抽出領域 P に対応する副画像を VRAM 200 に書き込ませる（ステップ 302）。なお、書き込みの際のアドレス制御については後述する。

そして、その後 WEN 信号の立下りを検出すると、この時点でラッチタイミング信号 L1CK およびロード信号 Load をこの順に 1 パルスずつ発生させる（ステップ 303～305）。そして、WENy 信号等に基づいて副画像の走査ライン

が抽出領域Pに属するか否かを判定しながら（ステップ306）、上記処理を繰り返し実行することにより、上記動作を抽出領域Pに対応する基準フィールドの走査ラインの間繰り返し実行する。

一方、非基準フィールド側の副画像の入力が開始されると、アドレスカウンタ制御回路220はこれをフィールド識別信号ODDなどに基づいて検出する。前述したように、非基準フィールドの画像の入力に先立ち、垂直同期信号NVSの同期部が入力されるので、アドレスカウンタ制御回路220は垂直同期信号NVSの同期区間が終了になった時点で（ステップ307）、ラッチタイミング信号L1CKおよびロード信号Loadをこの順に1パルスずつ発生させる（ステップ308、309）。これ以降の処理は、基準フィールドと同様であり、WEN信号が立ち上がっている期間にVRAM200にデータ書込みを行うための書込み制御信号を形成しこれらの書込み制御信号をVRAM200に出力する処理と、WEN信号の立下がりを検出すると、この時点でラッチタイミング信号L1CKおよびロード信号Loadをそれぞれ1パルス発生させる処理を、抽出領域Pに対応する走査ラインの間繰り返し実行する（ステップ301～306）。

つぎに、図21の書き込み制御系によって行われる書き込み動作について図20のタイムチャートを用いて説明する。ここでは、図13に示す抽出領域Pの副画像をVRAM200に等倍で書き込むとする。

基準フィールドの副画像の入力に先立ち、垂直同期信号NVSの同期部が入力されるので、この垂直同期信号NVSの同期部でアドレスカウンタ215がリセットされる。したがって、この時点でアドレスカウンタ215から出力される書き込みアドレス信号WADは、RAM201の先頭のアドレス領域を指定している。この後、1ライン毎の水平同期信号NHSと共に、基準フィールド側の各ラインの副画像が順次入力されるが、入力されている基準フィールドの画像のライン番号が抽出領域Pの先頭ラインであるラインKになるまでは、ラインコントローラ211から出力されるイネーブル信号ENが有効にはならないので、アドレスカウンタ215は動作せず、その出力WADは初期アドレスを維持している。また、この期間中は、ライトコントローラ211からVRAM200の書き込み動作を行うた

めに必要な書き込み制御信号も有効とはなっていないので、VRAM200では書き込み動作を行わない。

その後、入力されている基準フィールドの副画像のライン番号が抽出領域Pの先頭ライン番号Kになり、かつそのX方向アドレスが抽出領域Pに含まれるようになる。この時点でイネーブル信号がENが有効になるとともに、ライトコントローラ211から出力される書き込み制御信号も有効になる。したがって、アドレスカウンタ215は、入力される書き込み用ドットクロック信号CKWに同期したカウント動作を行うことにより、抽出領域Pの先頭ラインKの座標X1から座標X2までの画像を書き込むために必要な書き込みアドレス信号WADの更新動作を実行する。この結果、VRAM200の先頭のアドレス領域から抽出領域Pに含まれるK番目のラインの副画像が順番に記憶されることになる。

この記憶動作が終了すると、WEN信号がローレベルに立ち下がるので、ライトコントローラ211のアドレスカウンタ制御回路220からラッチタイミング信号L1CKおよびロード信号Loadがこの順に1パルスずつ出力される（図23ステップ303～305）。

この時点で、加算回路213には、アドレスカウンタ215の今回のカウント動作の最終カウント値が入力されており、加算回路213では、この最終カウント値とスキップ量レジスタ212に設定されたスキップ量Eとを加算する。この加算結果は、ラッチタイミング信号L1CKの入力時点でラッチ回路214にラッチされた後、さらにロード信号Loadによってアドレスカウンタ215に初期カウント値としてロードされる。したがって、アドレスカウンタ215は、このロードされた値を初期カウント値として次のカウント動作を実行することになる。

すなわち、上記の処理によって、アドレスカウンタ215から出力される書き込みアドレス信号WADは、スキップ量レジスタ212に設定されたアドレスEだけスキップされたことになる。したがって、先の図11の実施形態と同様、次の非基準フィールドの(K+1)番目のラインの抽出画像を記憶するアドレス領域が確保されたことになる。すなわち、データを書き込んだ直後から次のライン



の書き込みを行うまでの待ち期間を利用して上記加算処理を行うことで、座標X1から座標X2までの画像に対応するアドレス領域分だけアドレスをスキップさせている。

この後、 $(K+2)$  ラインの画像、 $(K+4)$  ラインの画像、…が順次入力されるので、前記と同様の加算動作を行うことで、これらの各ラインの画像のうちの抽出領域P内に含まれる分を順次VRAM200に記憶していく。この結果、まず、抽出領域Pの副画像のうちの基準フィールド側の画像が、飛び飛びのアドレス領域に記憶される。

次に、非基準フィールド側の画像の入力に先立ち、垂直同期信号NVSの同期部が入力されるので、この時点でアドレスカウンタ215が再びリセットされる。また、垂直同期信号NVSの同期区間が終了すると、この時点でライトコントローラ211のアドレスカウンタ制御回路220からラッチタイミング信号L1CKおよびロード信号Loadがこの順にそれぞれ1パルス出力される（図23ステップ307～309）。

この時点で、加算回路213には、アドレスカウンタ215の初期リセット値が入力されており、加算回路213では、この初期値とスキップ量レジスタ212に設定されたスキップ量Eとを加算する。この加算結果は、ラッチタイミング信号L1CKの入力時点でラッチ回路214にラッチされた後、さらにロード信号Loadによってアドレスカウンタ215に初期カウント値としてロードされる。したがって、アドレスカウンタ215は、このロードされた値を初期カウント値として次のカウント動作を実行することになる。

すなわち、上記の処理によって、アドレスカウンタ215から出力される書き込みアドレス信号WADは、スキップ量レジスタ212に設定されたアドレスEだけスキップされたことになり、アドレスカウンタ215から出力されるアドレスWADが既に記憶された基準フィールドのK番目のラインの抽出画像に対応するアドレス領域分だけオフセットされたことになる。

その後1ライン毎の水平同期信号NHSと共に、非基準フィールド側の各ラインの画像が順次入力される。

この後、入力されている非基準フィールド側の画像のライン番号が  $(K+1)$  になると、前述と同様の処理などが行われることによってVRAM200の先頭の次のアドレス領域には、この  $(K+1)$  番目のラインの座標X1から座標X2までに対応する画像が記憶される。すなわち、先の基準フィールドでの書き込み動作の際に  $(K+1)$  ラインの抽出画像用に確保されていた（空けていた）アドレス領域に、 $(K+1)$  ラインの抽出画像が記憶されることになる。

この  $(K+1)$  ラインの記憶動作が終了すると、前記同様のアドレス加算処理を行う事で、 $(K+3)$  番目のライン用に確保しておいたアドレス領域にアドレスをスキップする。

この後、 $(K+3)$  ラインの画像、 $(K+5)$  ラインの画像、…が順次入力されるので、これらの各ラインの画像のうちの抽出領域P内に含まれる分を、前記と同様にしてアドレスを加算しながら順次フレームメモリ20に記憶していく。この結果、抽出領域Pの副画像のうちの非基準フィールド側の画像が、飛び飛びに空けられていたアドレス領域に記憶されることになる。

以上の書き込み動作が繰り返し実行される。

このようにして、インターレース画像を1つのVRAM200の連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶することができる。

次に、図21の読み出し制御系について説明する。

VRAM200は、前述したように、RAM201と、SAM202およびアドレスカウンタ203を有しており、データ読み出し動作を行うときには、RAM201内のデータを一旦SAM202にデータ転送し、SAM202を介してデータを出力する。なお、以下の説明では、SAM202は、1ライン分の副画像データを記憶できる容量を有しているものとする。

この読み出しの際、RAM201に対しては、読出しスタートアドレスを指定すれば、このスタートアドレスに続くアドレス領域のデータをSAM202の記憶容量分だけデータ転送することができる。また、SAM202は、アドレスカウンタ203のシリアルクロック信号SCに従ったカウント出力に基づいて、そ

の開始アドレスからデータをシリアルに出力する。

図 21 において、副画像入力制御回路 124 は、先の図 8 または図 17 に示したものと同様の内部構成を有しており、読出し用ドットクロック信号 CKR および主画像の水平同期信号 VHS に基づいて、リードイネーブル X 信号 RENX およびリードイネーブル Y 信号 RENY を形成し、これらの信号をリードコントローラ 230 に入力する。すなわち、前述したように、リードイネーブル X 信号 RENX は入力されている主画像データの主走査方向アドレスが図 12 に示した合成領域 Q に対応していることを示しており、このリードイネーブル X 信号 RENx は主画像データの主走査方向アドレスが合成領域 Q の画像データのときにハイレベルとなる。またリードイネーブル Y 信号 RENY は入力されている主画像データの副走査方向アドレスが図 12 に示した合成領域 Q に対応していることを示しており、主画像データの副走査方向アドレスが合成領域 Q の画像データのときにハイレベルとなる。

加算回路 231 は、ラッチ回路 232 の出力とスキップ量レジスタ 212 に設定された値 E とを加算し、その加算結果をラッチ回路 232 に出力する。ラッチ回路 232 は、加算回路 231 の出力をラッチタイミング信号 L2CK 信号に従ってラッチし、そのラッチ出力 RAD を読出しスタートアドレスとして、セクタ 240 を介して VRAM200 に出力する。

セクタ 240 は、コントローラ 210 内の図示しない回路によって形成されたセレクト信号 WTSEL によって、書込みアドレス信号 WAD および読出しアドレス信号 RAD のうちの何れかを選択し、該選択したアドレス信号 AD を VRAM200 のアドレス端子に出力する。ここで、セクタ 240 は、通常書込みアドレス WAD を選択しているが、合成領域に Q に含まれる当該ラインの SAM202 からのデータ読出しが終了してから合成領域に Q に含まれる次ラインの SAM202 からのデータ読出しが開始されるまでの期間中であって（リードイネーブル X 信号 RENx が無効である期間）かつ VRAM200 に書込み処理が行われていないときに 1 回、読出しアドレス信号 RAD を選択し、このときに RAM201 から SAM202 へのデータ転送動作を実行させる。

リードコントローラ 230 は、主画像の垂直同期信号 VVS、読出し用ドットクロ

ック信号C K R、倍率データS B、リードイネーブルX信号R E N<sub>x</sub>およびリードイネーブルY信号R E N<sub>y</sub>等に基づいて、ラッチタイミング信号L 2 C K、シリアルクロック信号S Cおよびデータ転送指令を形成し、ラッチタイミング信号L 2 C Kをラッチ回路2 3 2に出力し、シリアルクロック信号S Cをアドレスカウンタ2 0 3に出力し、データ転送指令をR A M 2 0 1に出力する。

すなわち、上記の各種入力信号に基づくリードコントローラ2 3 0の動作によってラッチタイミング信号L 2 C K、シリアルクロック信号S C、およびデータ転送指令は以下の態様で出力される。

(a) シリアルクロック信号S C

等倍処理、縮小処理の場合は、読出し用ドットクロック信号C K Rと同じ周波数のシリアルクロック信号S Cが出力される。M倍の拡大処理が行われる場合は、読出し用ドットクロック信号C K Rの1 / Mの周波数に分周されたシリアルクロック信号S Cが出力される。

(b) データ転送指令

前述したように、リードイネーブルX信号R E N<sub>x</sub>は、主画像データの主走査方向アドレスが図1 2の座標Y M1～座標Y M2の間にあるときに、座標X M1から座標X M2までに対応する期間の間だけ、各主走査ライン毎にハイレベルとなるが、データ転送指令は、副走査方向アドレスが座標Y M1から座標Y M2までの期間であって、かつリードイネーブルX信号R E N<sub>x</sub>がローレベルに立ち下がってから次にハイレベルに立ち上がるまでの期間の度にそれぞれ1回ずつ出力される。すなわち、データ転送指令は、等倍、縮小、拡大処理に関係なく、合成領域Q内に含まれる或るラインの副画像データの読み出しが終了してから合成領域Q内に含まれる次のラインの副画像データの読み出しが開始されるまでの間に、1回発生される。ただし、1フレーム分の主画像の入力に先立って垂直同期信号V V Sが入力されるが、リードコントローラ2 3 0では、この垂直同期信号V V Sが入力されると、この時点でデータ転送指令を1回発生する。データ転送指令が出力されると、R A M 2 0 1からS A M 2 0 2へのデータ転送が行われると共に、アドレスカウンタ2 0 3が初期値にリセットされる。

(c) ラッチタイミング信号 L 2 C K

等倍処理、縮小処理の場合、ラッチタイミング信号 L 2 C K は、主画像の 1 走査ライン毎に 1 パルスが発生する。M 倍の拡大処理が行われる場合は、主画像の M 本の走査ライン毎に 1 パルスが発生する。ただし、この L 2 C K の発生時点は、データ転送指令と同様、合成領域 Q 内に含まれる或るラインの主画像データの入力終了してから合成領域 Q 内に含まれる次のライン（拡大の場合は M 本先のライン）の主画像データの入力開始されるまでの間に発生される。

つぎに、図 2 1 の読出し制御系によって行われる読出し動作について説明する。ここでは、V R A M 2 0 0 に記憶された画像を等倍で読み出すものとする。

まず、1 フレーム分の主画像データの入力に先立ち、主画像の垂直同期信号 V V S が入力される。この垂直同期信号 V V S の同期区間によってラッチ回路 2 3 2 はリセットされる。したがって、この時点では、データ転送用の読出しスタートアドレス R A D として R A M 2 0 1 の先頭のアドレス領域が指定されることになる。リードコントローラ 2 3 0 は、この垂直同期信号 V V S の同期区間終了をトリガとして、V R A M 2 0 0 への書込み動作が行われていないときにセクタ 2 4 0 を読出しアドレス R A D 側に切替え、図 1 9 のセクタ 6 を V R A M 2 0 0 側に切り替えると共に、データ転送指令を 1 回 R A M 2 0 1 に出力する。この結果、R A M 2 0 1 の先頭アドレスをデータ転送用の読出しスタートアドレスとしたデータ転送動作が行われ、これにより R A M 2 0 1 の先頭アドレスから S A M 2 0 2 の容量に対応する分の副画像データを S A M 2 0 2 に転送するデータ転送動作が実行される。

この後、1 ライン毎の水平同期信号 V H S と共に各ラインの主画像が順次入力されるが、入力される主画像の Y 方向のアドレスが合成領域 Q に含まれる区間になるまでは、リードコントローラ 2 3 0 からはラッチタイミング信号 L 2 C K、シリアルクロック信号 S C、および新たなデータ転送指令は出力されず、何の読出し動作も行なわれない。

その後、入力される主画像の X、Y 方向のアドレスが合成領域 Q に含まれる第 1 番目のラインになると、リードイネーブル X 信号 R E N X およびリードイネーブル

Y信号RENY信号が有効になるので、リードコントローラ230からリードイネーブルX信号RENXが有効な期間の間だけ読出しドットクロック信号CKRと同じ周波数のシリアルクロック信号SCがVRAM200のアドレスカウンタ203に出力される。アドレスカウンタ203は、このシリアルクロック信号SCに同期したカウント動作を行い、そのカウント出力をSAM202に出力する。したがって、SAM202からは、垂直同期信号VVSの入力時にRAM201からデータ転送されていたRAM201の先頭アドレス領域に記憶されていた副画像データが出力されることになり、この結果、図13に示す抽出領域Pの第1ラインの副画像データが図12に示す主画像表示画面の合成領域Qの第1ラインに表示されることになる。勿論、このSAM202からのデータ読出しの際には、図19のセクタ6はVRAM200側に切り替えられている。

つぎに、リードコントローラ230は、リードイネーブルX信号RENXがローレベルに立ち下がると、これをトリガとしてラッチタイミング信号L2CKを1発、発生させ、つぎにデータ転送指令を出力する。この結果、ラッチ回路232にラッチされていた零データとスキップ量レジスタ212にスキップ量Eとの加算結果がラッチ回路232にラッチされ、このラッチデータがデータ転送用の読出しスタートアドレスRADとして出力される。したがって、RAM201の先頭アドレスからスキップ量Eに対応するアドレス分だけ進んだアドレスをデータ転送用の読出しスタートアドレスとしたデータ転送動作が行われ、これにより前記アドレスEを先頭アドレスとしてSAM202の容量に対応する分の副画像データをSAM202に転送するデータ転送動作が実行される。

その後、入力される主画像のX、Y方向のアドレスが合成領域Qに含まれる第2番目のラインになると、リードイネーブルX信号RENXおよびリードイネーブルY信号RENY信号が有効になるので、前記同様にしてシリアルクロック信号SCがVRAM200のアドレスカウンタ203に出力され、この結果、先のデータ転送動作でSAM202に転送された副画像データのうちの主画像表示画面の領域Qの第2ラインに表示させる分がSAM202からシリアルに出力されることになり、この結果、図13に示す抽出領域Pの第2ラインの副画像データが図12

に示す主画像表示画面の合成領域Qの第2ラインに表示される。

つぎに、リードコントローラ230は、リードイネーブルX信号RENXが再びローレベルに立ち下がると、これをトリガとしてラッチタイミング信号L2CKを1発、発生させ、つぎにデータ転送指令を出力する。この結果、ラッチ回路232にラッチされていた抽出領域P内の水平方向のドット数に対応するアドレス量とスキップ量レジスタ212に設定されたスキップ量Eとの加算結果がラッチ回路232にラッチされることになる。すなわち、ラッチ回路232には、スキップ量レジスタ212に設定されたスキップ量Eを2倍した値がラッチされる事になる。このように、ラッチ回路232からは、0、E、2E、3E、…が各ライン毎に出力されることになる。この結果、この場合には、RAM201の先頭アドレスからアドレス2E分だけ進んだアドレスをデータ転送用の読出しスタートアドレスとしたデータ転送動作が行われ、これによりRAM201のアドレス2EからSAM202の容量に対応する分の副画像データをSAM202に転送するデータ転送動作が実行される。

その後、入力される主画像のX、Y方向のアドレスが合成領域Qに含まれる第3番目のラインになると、リードイネーブルX信号RENXおよびリードイネーブルY信号RENY信号が有効になるので、前記同様にしてシリアルクロック信号SCがVRAM200のアドレスカウンタ203に出力され、この結果、先のデータ転送動作でSAM202に転送された副画像データのうちの主画像表示画面の領域Qの第3ラインに表示させる分がSAM202からシリアルに出力されることになり、この結果、図13に示す抽出領域Pの第3ラインの副画像データが図12に示す主画像表示画面の合成領域Qの第3ラインに表示される。

このような動作が繰り返し実行されることにより、抽出領域P中の副画像は、表示画面の所定の合成領域Qにスーパーインポーズされることになる。

つぎに、図19の実施形態の縮小時の書込みおよび読出し動作について説明する。

まず、書込み動作について説明する。

1/Mに縮小する場合、ライトコントローラ211は、スキップ量レジスタ2

12に、E/Mに対応するアドレス量を設定する。また、図22のアンド回路219から出力されるイネーブル信号ENは、入力される副画像データが図13の抽出領域Pに含まれる期間のときに、書込み用ドットクロック信号CKWがM個出力される毎に1回だけHになる。また、アンド回路218の出力WENは、入力される副画像データが図13の抽出領域Pに含まれる期間のときに、Mラインに1回だけHになるので、アドレスカウンタ制御回路220から出力されるラッチタイミング信号L1CKおよびロード信号Loadは、上記Mラインに1回HになるWEN信号が立ち下がった時点で、1パルスがそれぞれ発生される。

まず、基準フィールドの縮小書込み処理について説明する。

基準フィールドの副画像の入力に先立ち、垂直同期信号NVSが入力されるので、この垂直同期信号NVSの同期区間でアドレスカウンタ215がリセットされる。したがって、この時点でアドレスカウンタ215から出力される書き込みアドレス信号WADは、RAM201の先頭のアドレス領域を指定している。

この後、入力されている基準フィールドの副画像のYアドレスが抽出領域Pに含まれるようになると、次のような縮小書込み処理が行われる。

X方向に関しては、図22のアンド回路219から出力されるイネーブル信号ENは、書込み用ドットクロック信号CKWがM個出力される毎に1回だけHになるので、アドレスカウンタ215は、書込み用ドットクロック信号CKWのM周期に1回だけカウント動作を行い、そのカウント出力を書込み用アドレス信号WADとしてVRAM200に出力する。また、ライトコントローラ211から出力される書込み制御信号も書込み用ドットクロック信号CKWのM周期に1回だけVRAM200に出力される。したがって、入力された副画像データは、Mドット毎に1ドットのみが抽出されてRAM201に記憶される。

Y方向に関しては、アンド回路218の出力WENは、Mラインに1回だけHになるので、これにより図22のアンド回路219から出力されるイネーブル信号ENもMラインに1回だけHになる。したがって、Y方向についてみれば、アドレスカウンタ215は、Mラインに1回カウント動作を行い、そのカウント出力を書込み用アドレス信号WADとしてVRAM200に出力する。また、ライト



コントローラ 211 から出力される書込み制御信号も M ラインに 1 回だけ V R A M 200 に出力される。したがって、入力された副画像データは、M ライン毎に 1 ラインのみが抽出されて R A M 201 に記憶されることになる。

このようにして、X、Y 方向の縮小書込み処理が行われる。

また、この縮小書込み処理の際、前述したように、図 22 のアンド回路 218 から出力される WEN 信号は、入力される副画像データのアドレスが図 13 の抽出領域 P に含まれる期間のときには、M ラインに 1 回だけ H になるので、アドレスカウンタ制御回路 220 から出力されるラッチタイミング信号 L1CK およびロード信号 L o a d は、上記 M ラインに 1 回 H になる WEN 信号が立ち下がった時点で、1 パルスがそれぞれ発生される。

スキップ量レジスタ 212 には、縮小処理の際、前述したように、E/M に対応するアドレス量を設定されているので、ラッチ回路 214 には、ラッチタイミング信号 L1CK が出力された時点で、アドレスカウンタ 215 の前回のカウンタ動作の最終カウント値とスキップ量レジスタ 211 の設定値 E/M との加算結果がラッチされることになり、このラッチデータがアドレスカウンタ 215 に初期カウント値としてロードされる。したがって、アドレスカウンタ 215 から出力される書き込みアドレス信号 WAD は、E/M 分だけスキップされ、これにより前述した V R A M 200 のアドレススキップ処理が行われることになる。すなわち、かかる処理によって次の非基準フィールドの抽出領域 P 内の 1 ライン分の縮小画像を記憶するアドレス領域が確保されたことになる。

以上の処理の結果、抽出領域 P の副画像のうちの基準フィールド側の縮小された画像が、V R A M 200 の飛び飛びのアドレス領域に記憶される。

つぎに、非基準フィールドにおける縮小書込み処理を説明する。

非基準フィールドの場合は、前述したように、垂直同期信号 NVS の同期区間終了で前述したアドレススキップ処理が行われることにより、V R A M 200 への書き込みアドレス信号 WAD は先頭アドレスからスキップ量レジスタ 212 に設定されたアドレス E/M 分だけオフセットされる。それ以外の処理は、前述した基準フィールドの縮小書込み時の動作と同じであり、かかる処理によって先の基準

フィールドの書き込み動作の際に空けていたアドレス領域に、非基準フィールドの縮小画像が書き込まれることになる。

この結果、縮小されたインターレース画像を1つのVRAM200の連続したアドレス領域に、ノンインターレース走査の走査ラインの順番通りに記憶することができる。

次に、読出し動作について説明する。

縮小処理の読出し動作の場合は、先の図8に示した表示開始アドレスレジスタSVX、表示終了アドレスレジスタEVX、表示開始アドレスレジスタSVY、表示終了アドレスレジスタEYVYまたは図17に示した表示開始Xアドレスレジスタ61、表示終了Xアドレスレジスタ64、表示開始Yアドレスレジスタ66、表示終了Yアドレスレジスタ69の設定アドレス値を先の式(4)～式(7)または式(12)にしたがって設定するようにして合成領域Qの大きさを縮小される副画像に応じて縮小するようにした点のみが、前述した等倍時の読出し動作と異なっており、前述したRAM201からSAM202へのデータ転送動作およびSAM202からのシリアルデータ出力を行うことにより、抽出領域P中の縮小された副画像を、表示器1の表示画面上にスーパーインポーズする。

つぎに、図19の実施形態の拡大時の書き込みおよび読出し動作について説明する。

拡大時の書き込み動作については、等倍時の書き込み動作と同じであり、重複する説明は省略する。

M倍への拡大を行う場合、図12、図13において、

$$M(XM2 - XM1) = X2 - X1$$

$$M(YM2 - YM1) \leq Y2 - Y1$$

を満足するように、先の図8に示した表示開始アドレスレジスタSVX、表示終了アドレスレジスタEVX、表示開始アドレスレジスタSVY、表示終了アドレスレジスタEYVYまたは図17に示した表示開始Xアドレスレジスタ61、表示終了Xアドレスレジスタ64、表示開始Yアドレスレジスタ66、表示終了Yアドレスレジスタ69の設定アドレス値を設定する。

また、M倍への拡大処理の場合は、リードコントローラ 230 から読出し用ドットクロック信号 C K R を  $1/M$  の周波数に分周したシリアルクロック信号 S C が出力され、またラッチタイミング信号 L 2 C K は主画像の M 本の走査ライン毎に 1 パルスが発生する。データ転送指令は、等倍、縮小、拡大処理に関係なく、領域 Q 内に含まれる或るラインの副画像データの読み出しが終了してから合成領域 Q 内に含まれる次のラインの副画像データの読み出しが開始されるまでの間に、1 回ずつ発生される。

まず、1 フレーム分の主画像データの入力に先立ち、主画像の垂直同期信号 V V S が入力される。この垂直同期信号 V V S の同期区間によってラッチ回路 232 はリセットされる。したがって、この時点では、データ転送用の読出しスタートアドレス R A D として R A M 201 の先頭のアドレス領域が指定されることになる。リードコントローラ 230 は、この垂直同期信号 V V S の同期区間終了をトリガとして、V R A M 200 への書込みを行っていないときにセクタ 240 を読出しアドレス R A D 側に切替え、図 19 のセクタ 6 を V R A M 200 側に切り替えると共に、データ転送指令を 1 回 R A M 201 に出力する。この結果、R A M 201 の先頭アドレスをデータ転送用の読出しスタートアドレスとしたデータ転送動作が行われ、これにより R A M 201 の先頭アドレスから S A M 202 の容量に対応する分の副画像データを S A M 202 に転送するデータ転送動作が実行される。

この後、1 ライン毎の水平同期信号 V H S と共に各ラインの主画像が順次入力されるが、入力される主画像の Y 方向のアドレスが拡大用に設定された合成領域 Q に含まれる区間になるまでは、リードコントローラ 230 からはラッチタイミング信号 L 2 C K、シリアルクロック信号 S C、および新たなデータ転送指令は出力されず、何の読出し動作も行なわれない。

その後、入力される主画像の X、Y 方向のアドレスが拡大用に設定された合成領域 Q に含まれる第 1 番目のラインになると、リードイネーブル X 信号 R E N X およびリードイネーブル Y 信号 R E N Y 信号が有効になるので、リードコントローラ 230 からリードイネーブル X 信号 R E N X が有効な期間の間だけ読出しドットクロック

信号CKRを $1/M$ の周波数に分周したシリアルクロック信号SCがVRAM200のアдресカウンタ203に出力される。アдресカウンタ203は、このシリアルクロック信号SCに同期したカウント動作を行い、そのカウント出力をSAM202に出力する。したがって、SAM202からは、垂直同期信号VVSの入力時にRAM201からデータ転送されていたRAM201の先頭アドレス領域に記憶されていた副画像データが等倍モードの $1/M$ の周波数で出力されることになる。一方、図19の表示器1では、読出しドットクロック信号CKRに同期してX方向の走査を行っているので、結果的に同じ画素データがX方向にM回連続して表示されることになり、X方向へのM倍の拡大動作が実現されることになる。このようにして、図13に示す抽出領域Pの第1ラインの副画像データが図12に示す主画像表示画面の拡大用に設定された合成領域Qの第1ラインにM倍に拡大されて表示されることになる。

つぎに、リードコントローラ230は、リードイネーブルX信号RENXがローレベルに立ち下がると、これをトリガとしてデータ転送指令を出力する。この際には、ラッチタイミング信号L2CKには1パルスが発生されず、ラッチ回路232はリセットされたままである。この結果、RAM201の先頭アドレス領域に記憶されていた副画像データが再度SAM202にデータ転送されるとともに、アдресカウンタ203がリセットされる。

その後、入力される主画像のX、Y方向のアдресが拡大用に設定された合成領域Qに含まれる第2番目のラインになると、再度前述と同じ動作が実行されることによって、SAM202に記憶されていたRAM201の先頭アドレス領域に記憶されていた副画像データが等倍モードの $1/M$ の周波数で出力されることになる。このようにして、図13に示す抽出領域Pの第1ラインの副画像データが図12に示す主画像表示画面の拡大用に設定された合成領域Qの第2ラインにM倍に拡大されて表示されることになる。

このような処理を拡大用に設定された合成領域Qに含まれる第1番目ライン～第M番目のラインに関して繰り返し実行することにより、図13に示す抽出領域Pの第1ラインの副画像データをXおよびY方向に関してM倍に拡大する。

リードコントローラ 230 は、1 ライン分の副画像を M ライン分の画像に拡大する処理が終了したときのリードイネーブル X 信号 RENX のローレベルへの立ち下がりトリガとしてラッチタイミング信号 L2CK を 1 発発生させ、つぎにデータ転送指令を出力する。

この結果、ラッチ回路 232 にラッチされていた零データとスキップ量レジスタ 212 に設定されたスキップ量 E との加算結果がラッチ回路 232 にラッチされ、このラッチデータがデータ転送用の読出しスタートアドレス RAD として出力される。したがって、次は RAM 201 の先頭アドレスからスキップ量 E だけ進んだアドレスをデータ転送用の読出しスタートアドレスとしたデータ転送動作が行なわれる。

これ以降は、前述した動作が繰り返し実行される。この結果、抽出領域 P 中の副画像は、表示画面の拡大用に設定された合成領域 Q に M 倍に拡大されてスーパーインポーズされることになる。

このように、この図 19 ～図 23 に示す実施形態においては、通常のビデオメモリ (VRAM) 200 を 1 個用いてインターレース走査の副画像を任意の倍率でノンインターレース走査の主画像画面にスーパーインポーズ表示することが可能になる。また、通常のビデオメモリ 200 に内蔵されているシリアルアクセスメモリ (SAM) 202 を用いて拡大した副画像を主画像にスーパーインポーズできるようにしたので、図 1 の実施形態で用いていたラインバッファ FIFO 108 を省略できるようになり、その回路構成を簡単化できるとともに、低コスト化を図ることができる。

なお、上記図 19 の実施形態では、アドレスカウンタ 203 をリセットするために、拡大時に RAM 201 から SAM 202 に複数回のデータ転送を行うようにしたが、アドレスカウンタ 203 を適宜リセットできるものであれば、拡大時の上記データ転送は 1 回だけ行うようにすればよい。

なお、前述した各実施形態では副画像の一部領域を主画像に合成するようにしたが、副画像の全領域を主画像に合成表示するようにしてもよい。また、単にインターレース信号をノンインターレース信号に変換するために本発明を用いるよ

うにしてもよい。

産業上の利用可能性

インターレースの副画像をノンインターレースの主画像にスーパーインポーズ合成する画像処理に適用して有用である。

## 請求の範囲

1. 表示器に表示される主画像の所定の表示領域内に、副画像の所定の表示領域を合成して表示させる画像合成装置において、

副画像データの内、合成されるべき前記表示領域内のみのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域に対応するアドレスのとき、前記記憶した副画像データが入力された順に読み出されるフレームメモリと、

前記表示器に表示する前記主画像データ、及び、前記フレームメモリから順次読み出された前記副画像データを入力し、前記主画像データの走査アドレスが主画像の前記表示領域に対応するアドレスのとき、選択チャンネルをこの主画像データから前記副画像データに切り換えて表示器に出力し、この副画像データを表示させるセレクトと

を備えたことを特徴とする画像合成装置。

2. 表示器に表示される主画像の所定の表示領域内に、副画像の所定の表示領域を合成して表示させる画像合成装置において、

インターレースの副画像データの内、合成されるべき前記表示領域内の奇数フィールドのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域に対応する奇数ラインのアドレスのとき、前記記憶した副画像データが前記入力順に読み出される第1のフレームメモリと、

インターレースの副画像データの内、合成されるべき前記表示領域内の偶数フィールドのデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレスが主画像の前記表示領域に対応する偶数ラインのアドレスのとき、前記記憶した副画像データが前記入力順に読み出される第2のフレームメモリと、

前記表示器に表示する前記主画像データ、及び、前記第1のフレームメモリ又は第2のフレームメモリから順次読み出された前記副画像データを入力し、前記主画像データの走査アドレスが主画像の前記表示領域に対応するアドレスのとき、

選択チャネルをこの主画像データから前記副画像データに切り換えて表示器に出  
力し、この副画像データを等倍で表示させるセレクトと、  
を備えたことを特徴とする画像合成装置。

3. 前記フレームメモリは、副画像の前記表示領域を所定倍率に縮小して主画  
像の前記表示領域内に合成表示するとき、副画像データを入力時に副画像デー  
タの走査アドレスが前記表示領域に対応するアドレスのとき、垂直方向の各ライ  
ンを前記所定倍率分の1に間引き、この間引いた各ライン毎に水平方向の走査ア  
ドレスが前記表示領域Pに対応するアドレスのとき、さらに水平方向に前記所定  
倍率分の1に間引いて入力された副画像データを記憶し、この後、前記主画像デ  
ータの走査アドレスが主画像の前記表示領域に対応するアドレスのとき、前記間  
引いて記憶した副画像データが前記入力順に連続的に読み出されることを特徴と  
する請求の範囲第1項または第2項記載の画像合成装置。

4. 前記フレームメモリから読み出された副画像データを入力し、入力順にこ  
の副画像データを記憶した後、この記憶した副画像データを前記入力順に読み出  
されるラインバッファF I F Oを付設すると共に、

前記フレームメモリは、副画像の前記表示領域を所定倍率に拡大して主画像の  
前記表示領域内に合成表示するとき、副画像データの内、前記表示領域内のみ  
のデータを入力される順に連続的に記憶した後、前記主画像データの走査アドレ  
スが主画像の前記表示領域に対応するアドレスのとき、前記所定倍率に相当する  
所定ライン数毎に1ラインずつ、前記記憶した副画像データの内1ライン分のデ  
ータを前記主画像の水平ドットクロックの周波数に対して前記所定倍率分の1の  
サイクルで読み出されるようにし、

前記ラインバッファF I F Oは、この読み出された1ライン分の副画像データ  
を入力された順に前記主画像の水平ドットクロックと同期して記憶した後、前記  
主画像データの前記表示領域の前記所定倍率に相当する所定ライン毎の残りのラ  
インで、前記記憶された1ライン分の副画像データを前記入力順に各ライン毎に



繰り返して出力する

ことを特徴とする請求の範囲第 1 項または第 2 項記載の画像合成装置。

5. 前記セレクトは、A/D変換された前記主画像データをメモリを介さずに入力し、前記合成される副画像データと切り換えて前記表示器に出力して表示する

ことを特徴とする請求の範囲第 1 項～第 4 項の何れか記載の画像合成装置。

6. 前記ラインバッファ F I F O は、前記フレームメモリから読み出された 1 ライン分の副画像データを入力した順に前記主画像の水平ドットクロックの周波数に対して前記所定倍率分の 1 のサイクルで記憶した後、前記主画像データの前記表示領域の前記所定倍率に相当する所定ライン毎の残りのラインで、前記記憶された 1 ライン分の副画像データを前記入力順に前記主画像の水平ドットクロックの周波数に対して前記所定倍率分の 1 のサイクルで読み出し、各ライン毎に繰り返して出力する

ことを特徴とする請求の範囲第 4 項記載の画像合成装置。

7. 奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換装置において、

書込み動作と読出し動作とが非同期で行え、入力されたインターレース走査の画像信号を記憶する 1 つのフレームメモリと、

前記インターレース走査の画像信号のうちの一方のフィールドの各ラインの画像信号を 1 ラインの画像データに対応するアドレス領域ずつ空けて前記フレームメモリの先頭アドレスを起点とした間欠したアドレス領域に該一方のフィールドのラインの順番に対応して記憶する第 1 の書込み制御手段と、

前記インターレース走査の画像信号のうちの他方のフィールドの各ラインの画像信号を前記フレームメモリの間欠したアドレス領域間に形成された各空きアドレス領域に該他方のフィールドのラインの順番に対応して記憶する第 2 の書込み

制御手段と、

前記第 1 及び第 2 の書込み制御手段によって前記 1 つのフレームメモリの連続したアドレス領域にノンインターレース走査のラインの順番通りに記憶されたインターレース信号を先頭アドレスからアドレスの順番通りに読み出す読出し制御手段と

を具え、前記 1 つのフレームメモリを介してインターレース信号をノンインターレース信号に変換するようにしたことを特徴とする画像変換装置。

8. 1 つのフレームメモリを介して奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換方法であって、

前記インターレース走査の画像信号のうち的一方のフィールドの各ラインの画像信号を 1 ラインの画像データに対応するアドレス領域ずつ空けて前記フレームメモリの先頭アドレスを起点とした間欠したアドレス領域に該一方のフィールドのラインの順番に対応して記憶する第 1 の工程と、

前記インターレース走査の画像信号のうちの他方のフィールドの各ラインの画像信号を前記フレームメモリの間欠したアドレス領域間に形成された各空きアドレス領域に該他方のフィールドのラインの順番に対応して記憶する第 2 の工程と、

前記 1 つのフレームメモリに記憶されたインターレース信号を先頭アドレスからアドレスの順番通りに読み出す第 3 の工程と、

を具えるようにしたことを特徴とする画像変換方法。

9. 奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換装置において、

書込み動作と読出し動作とが非同期で行え、入力されるクロック信号に同期してインクリメントされるアドレス領域にインターレース走査の画像信号を順次記憶する 1 つのシリアルアクセスメモリと、

入力されるインターレース走査の画像信号から制御用同期信号を抽出し、該抽

出信号に基づき前記シリアルアクセスメモリに対する書込み用クロック信号を形成する書込みクロック形成手段と、

前記書込み用クロック信号より周波数の高い高速クロック信号を発生する高速クロック信号発生手段と、

前記インターレース走査の画像信号の一方のフィールドの画像データが入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら1ライン分のインターレース走査の画像データの書込みを行う第1の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけインクリメントする第2の動作とを前記シリアルアクセスメモリの先頭アドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの間欠したアドレス領域に前記一方のフィールドの画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、

前記インターレース走査の画像信号のうちの他方のフィールドの画像が入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら1ライン分のインターレース走査の画像データの書込みを行う第3の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけインクリメントする第4の動作とを前記先頭アドレスから1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの画像データを前記他方のフィールドのラインの順番に対応して記憶する第2の書込み制御手段と、

前記第1及び第2の書込み制御手段によって前記シリアルアクセスメモリに記憶されたインターレース走査の画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段と、

を具え、前記 1 つのシリアルアクセスメモリを介してインターレース信号をノンインターレース信号に変換するようにしたことを特徴とする画像変換装置。

10. ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域に奇数フィールド及び偶数フィールドから成るインターレース走査の副画像の中の所定の抽出領域に含まれる副画像を合成して表示する画像合成装置において、

書込み動作と読出し動作とが非同期で行え、入力されるクロック信号に同期して進められるアドレス領域に副画像信号を順次記憶する 1 つのシリアルアクセスメモリと、

入力される副画像信号から制御用同期信号を抽出し、該抽出信号に基づき前記シリアルアクセスメモリに対する書込み用クロック信号を形成する書込みクロック形成手段と、

前記書込み用クロック信号より周波数の高い高速クロック信号を発生する高速クロック信号発生手段と、

前記副画像信号のうちの一方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記書込み用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら前記一方のフィールドの前記表示領域に表示すべき 1 ライン分のデータの書込みを行う第 1 の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき 1 ラインの副画像データに対応するアドレス領域分だけインクリメントする第 2 の動作とを前記シリアルアクセスメモリの先頭アドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの間欠したアドレス領域に前記一方のフィールドの前記表示領域に表示すべき画像データを前記一方のフィールドのラインの順番に対応して記憶する第 1 の書込み制御手段と、

前記副画像信号のうちの他方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記書込み

用クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスをインクリメントしながら前記他方のフィールドの前記表示領域に表示すべき 1 ライン分のデータの書込みを行う第 3 の動作と、データ書込みを行わずに前記高速クロック信号に同期して前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき 1 ラインの副画像データに対応するアドレス領域分だけインクリメントする第 4 の動作とを前記先頭アドレスから前記表示領域に表示すべき 1 ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記シリアルアクセスメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの前記表示領域に表示すべき画像データを前記他方のフィールドのラインの順番に対応して記憶する第 2 の書込み制御手段と、

前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるとき、前記第 1 及び第 2 の書込み制御手段によって前記シリアルアクセスメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段と、

前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるときは前記シリアルアクセスメモリから出力された副画像を選択して出力する切換手段と、

を具えるようにしたことを特徴とする画像合成装置。

#### 1 1. 前記副画像の縮小率を設定する縮小率設定手段と、

前記縮小率設定手段によって設定された縮小率に応じて前記表示画面上の前記副画像が表示される表示領域を縮小設定する表示領域設定手段と、

を更に具えるとともに、

前記第 1 の書込み制御手段は、前記第 1 の動作を実行する際、前記所定の抽出領域に含まれる一方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第 2 の動作を実行する際に、前記シリ

アルアクセスメモリの書込みアドレスを前記表示領域に表示すべき縮小後の１ラインの副画像データに対応するアドレス領域分だけインクリメントし、

前記第２の書込み制御手段は、前記第３の動作を実行する際、前記所定の抽出領域に含まれる他方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第４の動作を実行する際に、前記シリアルアクセスメモリの書込みアドレスを前記表示領域に表示すべき縮小後の１ラインの副画像データに対応するアドレス領域分だけインクリメントし、かつこの第３の動作と第４の動作とを前記先頭アドレスから前記表示領域に表示すべき縮小後の１ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行し、

前記読出し制御手段は、前記主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスであるとき、前記第１及び第２の書込み制御手段によって前記シリアルアクセスメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出し、

前記切換手段は、主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記縮小設定された表示領域に対応するアドレスであるときは前記シリアルアクセスメモリから出力された副画像を選択して出力する

ようにしたことを特徴とする請求の範囲第１０項記載の画像合成装置。

１２．奇数フィールド及び偶数フィールドから成るインターレース走査の画像信号をノンインターレース走査の画像信号に変換する画像変換装置において、

書込み動作と読出し動作とが非同期で行え、入力されるアドレス信号に対応するアドレス領域にインターレース走査の画像信号を順次記憶する１つのビデオメモリと、

前記インターレース走査の画像信号の一方のフィールドの画像データが入力されているとき、前記ビデオメモリの書込みアドレスを進めながら１ライン分のインターレース走査の画像データの書込みを行う第１の動作と、データ書込みを行

わずに前記ビデオメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけスキップさせる第2の動作とを前記ビデオメモリの先頭アドレスを起点として交互に実行することにより、前記ビデオメモリの間欠したアドレス領域に前記一方のフィールドの画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、

前記インターレース走査の画像信号のうちの他方のフィールドの画像が入力されているとき、前記ビデオメモリの書込みアドレスを進めながら1ライン分のインターレース走査の画像データの書込みを行う第3の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを1ラインの画像データに対応するアドレス領域分だけスキップさせる第4の動作とを前記先頭アドレスから1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記ビデオメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの画像データを前記他方のフィールドのラインの順番に対応して記憶する第2の書込み制御手段と、

前記第1及び第2の書込み制御手段によって前記ビデオメモリに記憶されたインターレース走査の画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段と、

を具え、前記1つのビデオメモリを介してインターレース信号をノンインターレース信号に変換するようにしたことを特徴とする画像変換装置。

13. ノンインターレース走査の主画像が表示される表示画面上の所定の表示領域に奇数フィールド及び偶数フィールドから成るインターレース走査の副画像の中の所定の抽出領域に含まれる副画像を合成して表示する画像合成装置において、

書込み動作と読出し動作とが非同期で行え、入力されるアドレス信号に対応するアドレス領域に副画像信号を順次記憶する1つのビデオメモリと、

前記副画像信号のうちの一方のフィールドの画像が入力されているときであっ

てかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記ビデオメモリの書込みアドレスを進めながら前記一方のフィールドの前記表示領域に表示すべき1ライン分のデータの書込みを行う第1の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき1ラインの副画像データに対応するアドレス領域分だけスキップさせる第2の動作とを前記ビデオメモリの先頭アドレスを起点として交互に実行することにより、前記ビデオメモリの間欠したアドレス領域に前記一方のフィールドの前記表示領域に表示すべき画像データを前記一方のフィールドのラインの順番に対応して記憶する第1の書込み制御手段と、

前記副画像信号のうちの他方のフィールドの画像が入力されているときであってかつ前記所定の抽出領域に含まれる副画像が入力されているとき、前記ビデオメモリの書込みアドレスを進めながら前記他方のフィールドの前記表示領域に表示すべき1ライン分のデータの書込みを行う第3の動作と、データ書込みを行わずに前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき1ラインの副画像データに対応するアドレス領域分だけスキップさせる第4の動作とを前記先頭アドレスから前記表示領域に表示すべき1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行することにより、前記ビデオメモリの一方のフィールドの各ラインの画像が記憶されたアドレス領域間に形成された各空きアドレス領域に前記他方のフィールドの前記表示領域に表示すべき画像データを前記他方のフィールドのラインの順番に対応して記憶する第2の書込み制御手段と、

前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるとき、前記第1及び第2の書込み制御手段によって前記ビデオメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出す読み出し制御手段と、

前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記所定の表示領域に対応するアドレスであるときは前記ビデオメモリから出力された副画像を選択して出力



する切換手段と、

を具えるようにしたことを特徴とする画像合成装置。

14. 前記副画像の縮小率を設定する縮小率設定手段と、

前記縮小率設定手段によって設定された縮小率に応じて前記表示画面上の前記副画像が表示される表示領域を縮小設定する表示領域設定手段と、

を更に具えるとともに、

前記第1の書込み制御手段は、前記第1の動作を実行する際、前記所定の抽出領域に含まれる一方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第2の動作を実行する際に、前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき縮小後の1ラインの副画像データに対応するアドレス領域分だけスキップし、

前記第2の書込み制御手段は、前記第3の動作を実行する際、前記所定の抽出領域に含まれる他方のフィールドの副画像を前記設定された縮小率に対応して主走査方向及び副走査方向に間引きし、前記第4の動作を実行する際に、前記ビデオメモリの書込みアドレスを前記表示領域に表示すべき縮小後の1ラインの副画像データに対応するアドレス領域分だけスキップし、かつこの第3の動作と第4の動作とを前記先頭アドレスから前記表示領域に表示すべき縮小後の1ラインの画像データに対応するアドレス領域分だけ進んだアドレスを起点として交互に実行し、

前記読出し制御手段は、前記主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスであるとき、前記第1及び第2の書込み制御手段によって前記ビデオメモリに記憶された副画像データを先頭アドレスからアドレスの順番通りに読み出し、

前記切換手段は、主画像の走査アドレスが前記表示領域設定手段によって縮小設定された表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記縮小設定された表示領域に対応するアドレスであるときは前記ビデオメモリから出力された副画像を選択して出力する

ようにしたことを特徴とする請求の範囲第 1 3 項記載の画像合成装置。

15. 前記ビデオメモリは、

書込み動作と読出し動作とが非同期で行え、前記第 1 及び第 2 の書込み制御手段によって書き込まれた副画像信号を順次記憶するランダムアクセスメモリ手段と、

このランダムアクセスメモリ手段からのデータ転送によって少なくとも副画像信号 1 ライン分を一時記憶するシリアルアクセスメモリ手段と、

入力されるシリアルクロック信号に基づいて前記シリアルアクセスメモリ手段からのデータ読出し制御を行う第 1 の読出し制御手段と、

を有し、

入力される主画像信号から制御用同期信号を抽出し、該抽出信号に基づき前記ビデオメモリに対する読出し用クロック信号を形成する読出しクロック形成手段を具備するとともに、

前記主画像が表示される表示画面は、前記読出しクロック信号に同期して表示動作を行うものであり、

前記副画像の拡大率 $M$ を設定する拡大率設定手段と、

前記拡大率設定手段によって設定された拡大率 $M$ に応じて前記表示画面上の前記副画像が表示される表示領域を拡大設定する表示領域設定手段と、

を更に具備するとともに、

前記読出し制御手段は、

前記ランダムアクセスメモリ手段の先頭アドレスを初期値とし、主画像の $M$ 回の副走査毎に 1 回前記第 1 および第 2 の書込み制御手段によってスキップされるアドレス量ずつ増加されたアドレスを発生するアドレス発生手段と、

前記主画像の副走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスであるとき、主画像の $M$ 回の副走査毎に少なくとも 1 回、前記アドレス発生手段の出力アドレスを転送開始アドレスとして前記データ転送を行わせる第 2 の読出し制御手段と、

前記主画像の走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスであるとき、前記シリアルアクセスメモリ手段に一時記憶された副画像信号のうちの前記第2の書込み制御手段によってスキップされるアドレス量に対応するデータを前記読出しクロック信号の $1/M$ の周波数で出力させる主走査方向拡大手段と、

前記主画像の走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスであるとき、前記シリアルアクセスメモリ手段に一時記憶された副画像信号を主画像の副走査に同期してM回連続して出力する副走査方向拡大手段と、

を有し、

前記切換手段は、主画像の走査アドレスが前記表示領域設定手段によって拡大設定された表示領域に対応するアドレスでないときは主画像を選択し、前記主画像の走査アドレスが前記拡大設定された表示領域に対応するアドレスであるときは前記ビデオメモリから出力された副画像を選択して出力する

ようにしたことを特徴とする請求の範囲第13項記載の画像合成装置。

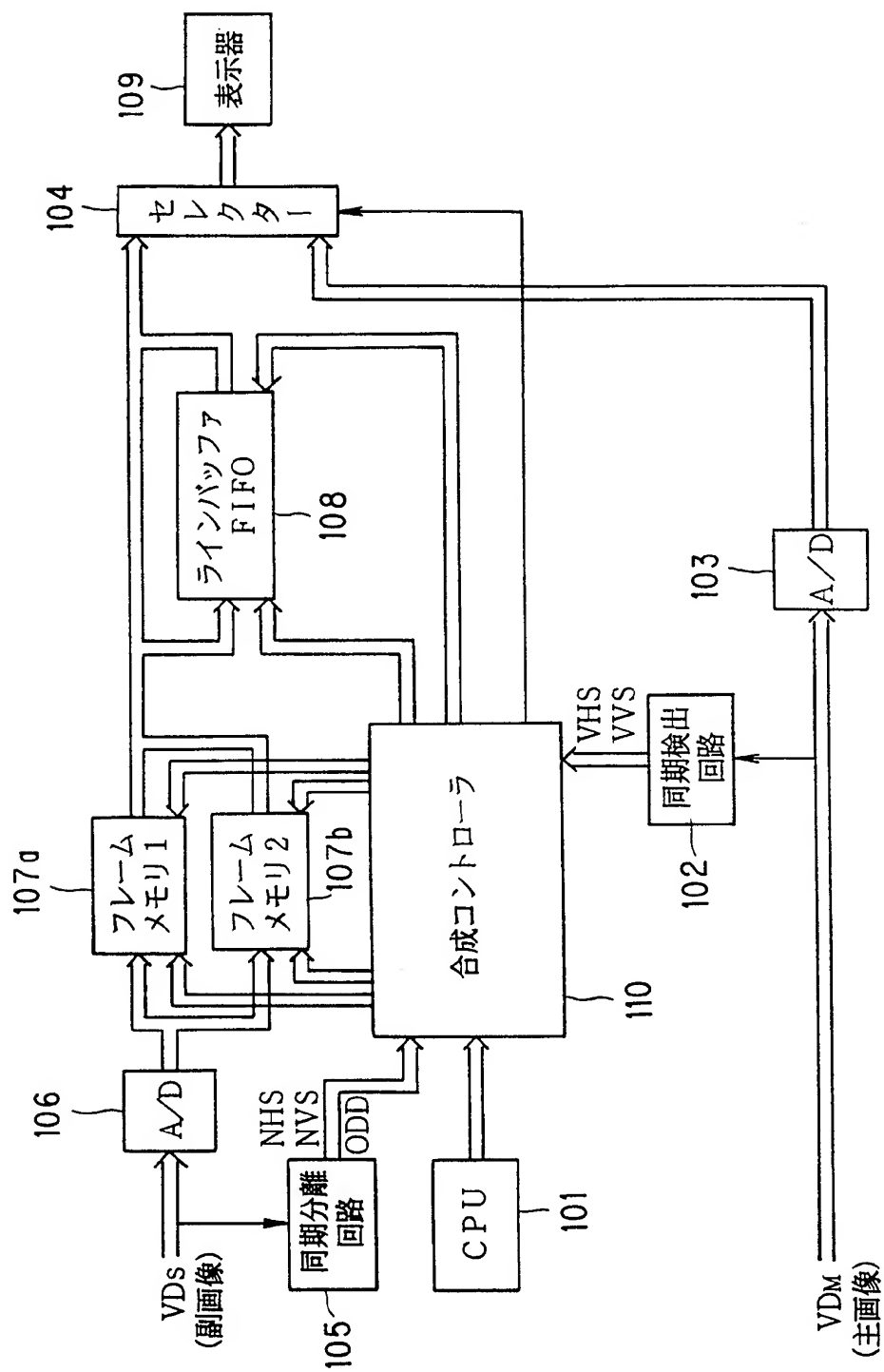


図 1

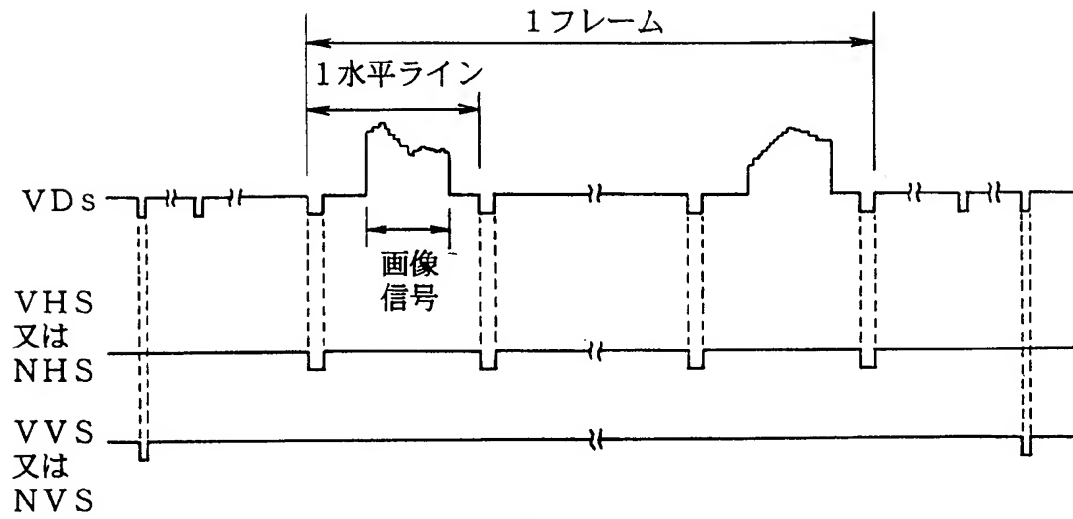


図 2

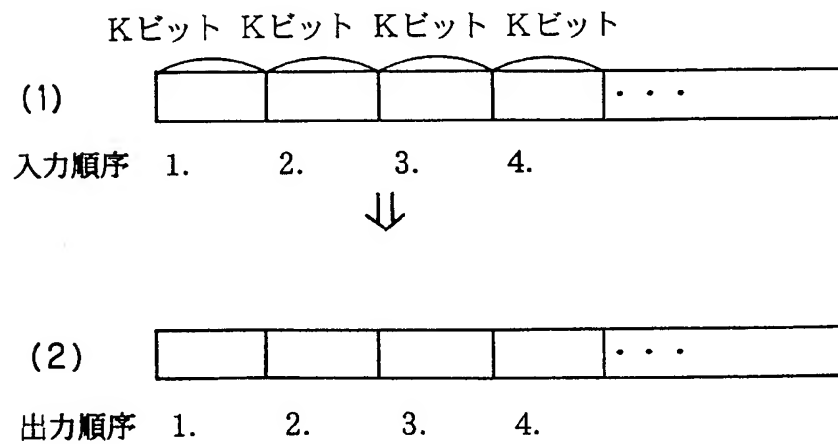


図 3

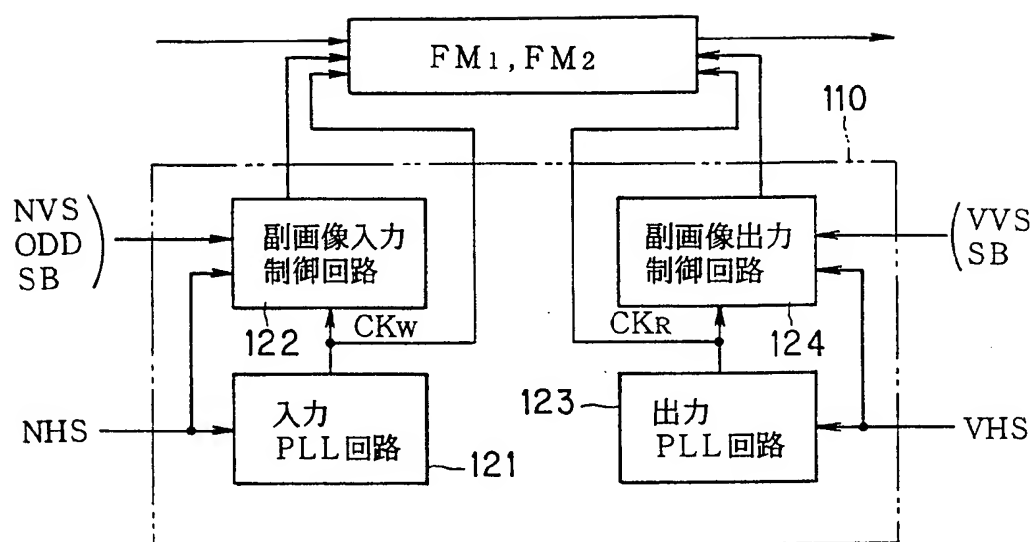


图 4

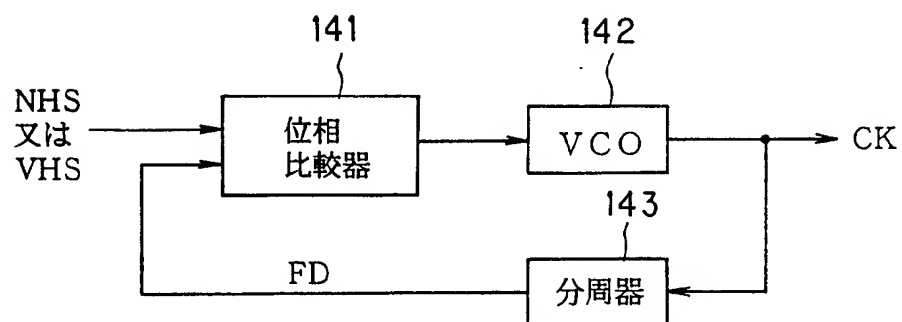


図 5

4/18

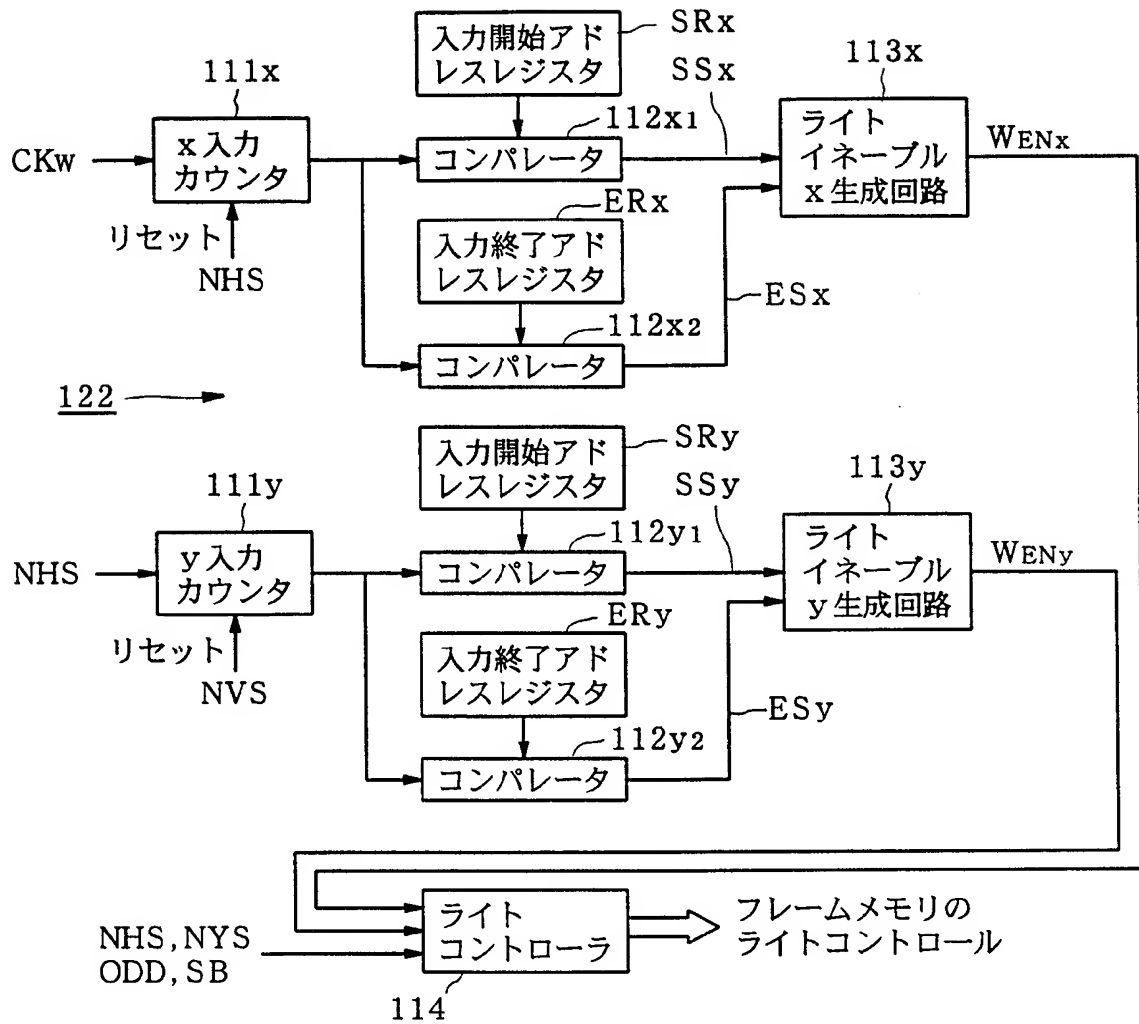


図 6

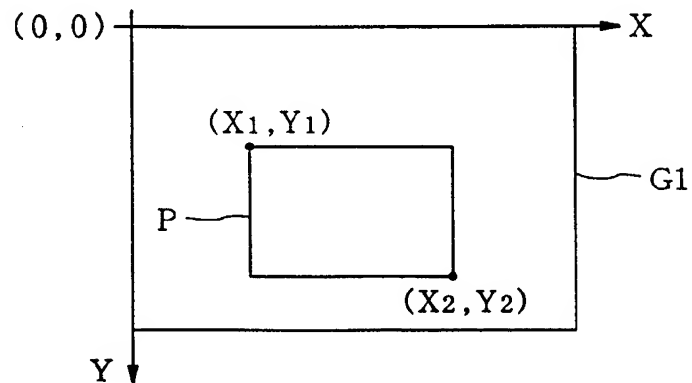


図 7

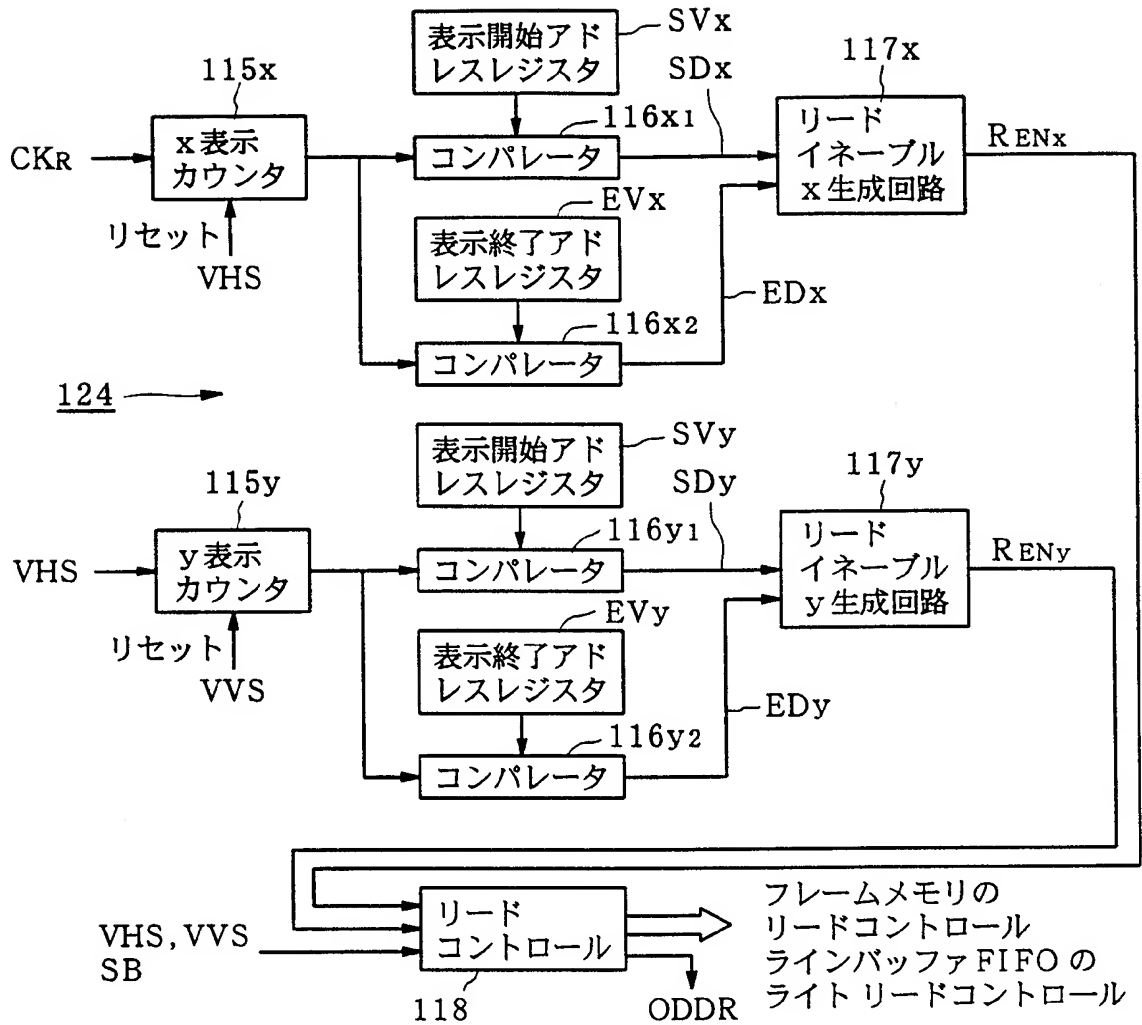


図 8

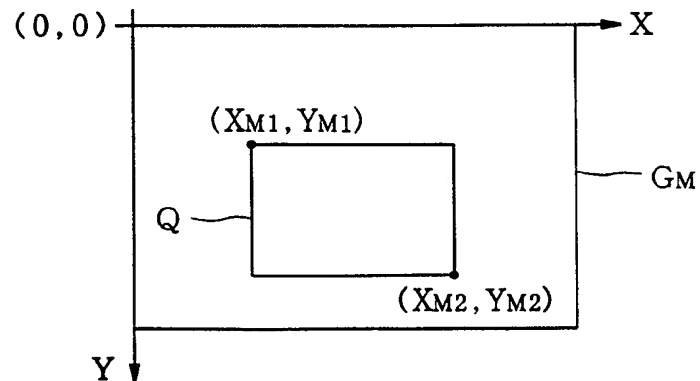


図 9



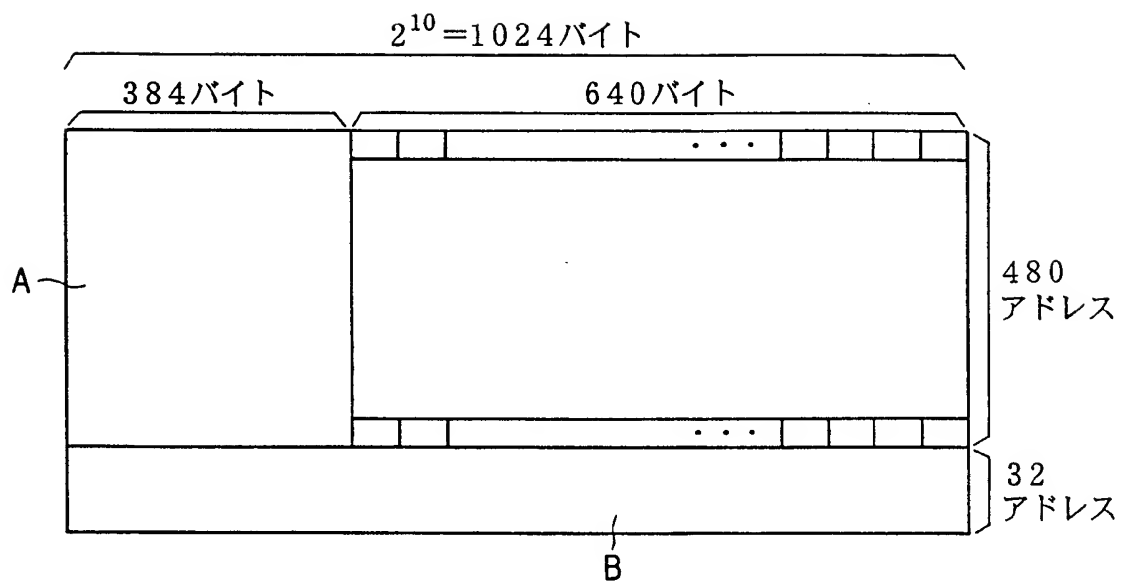


図 10

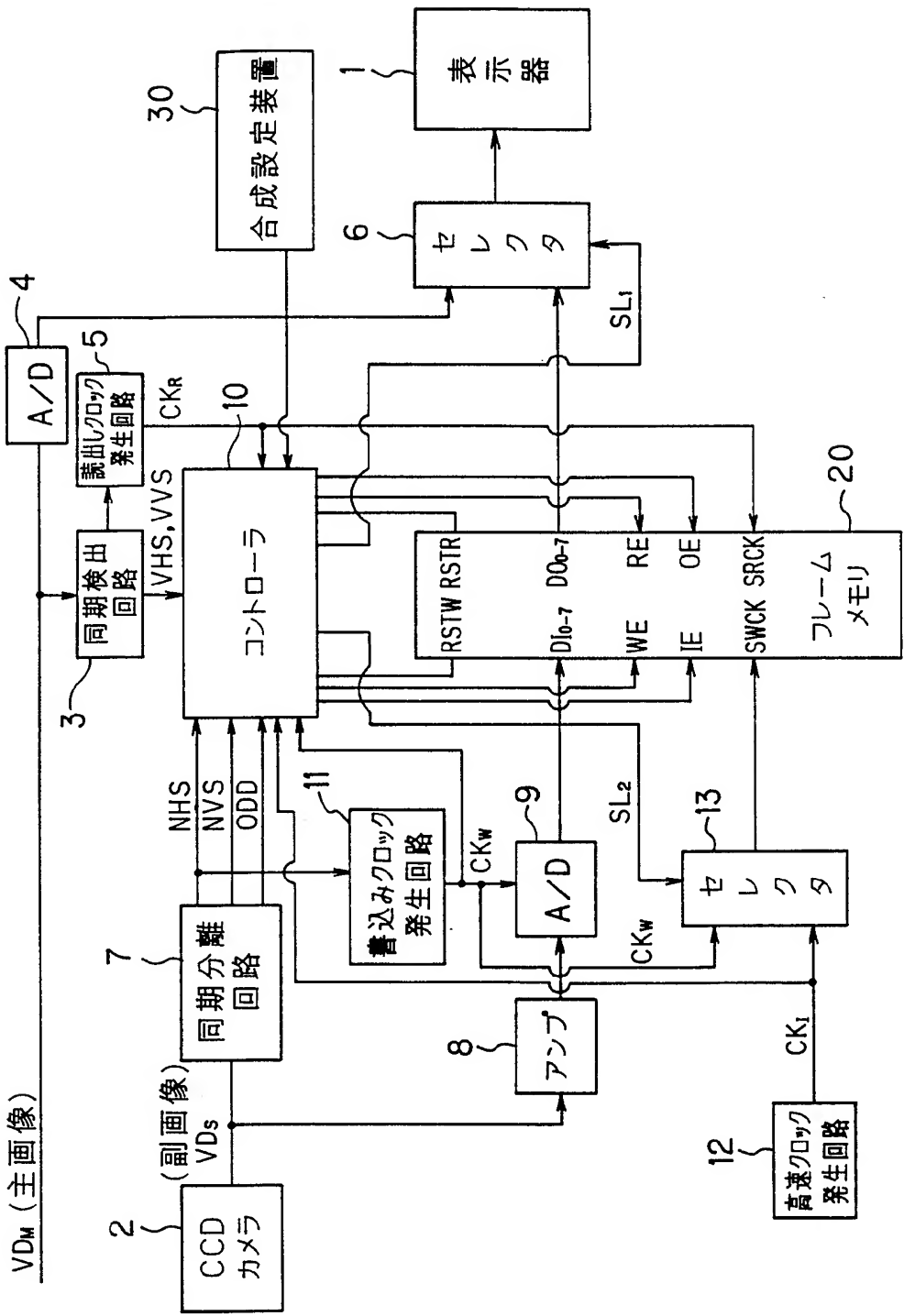
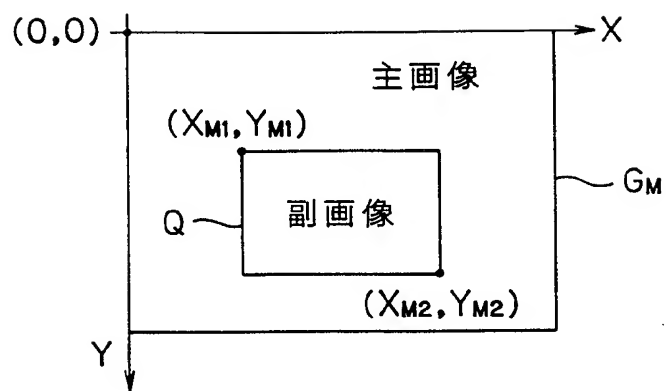


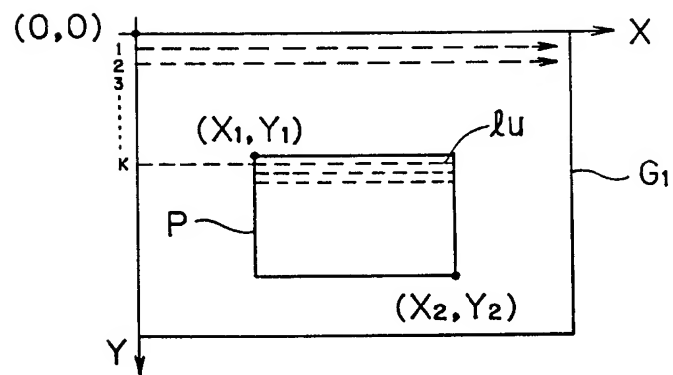
図 11

全体図



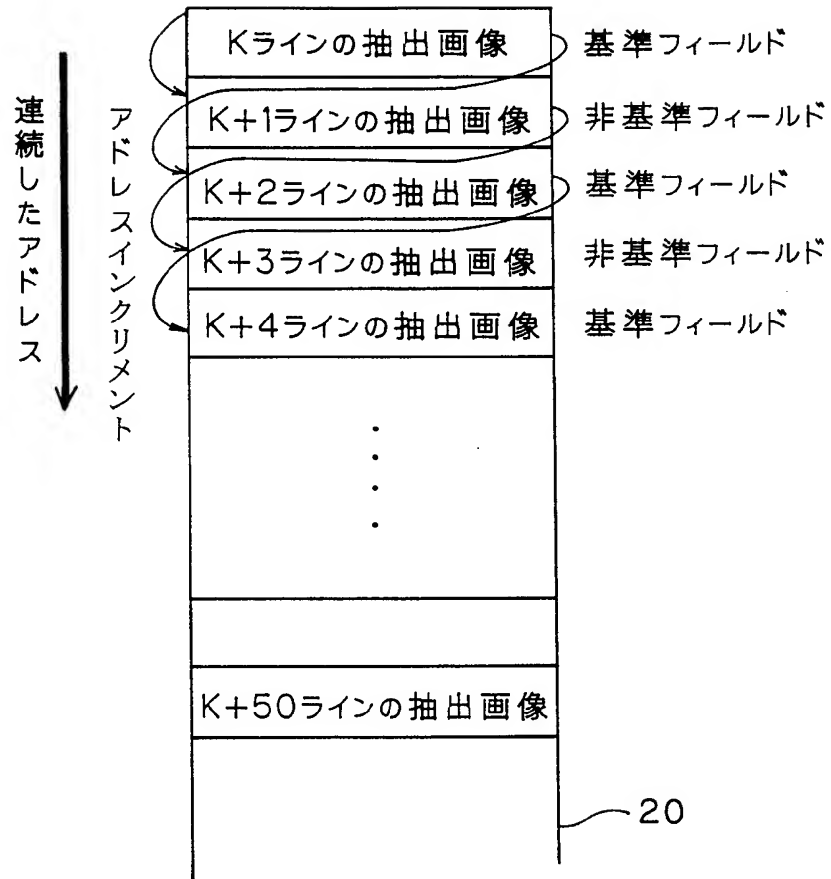
主副画像の合成画面図

図 12



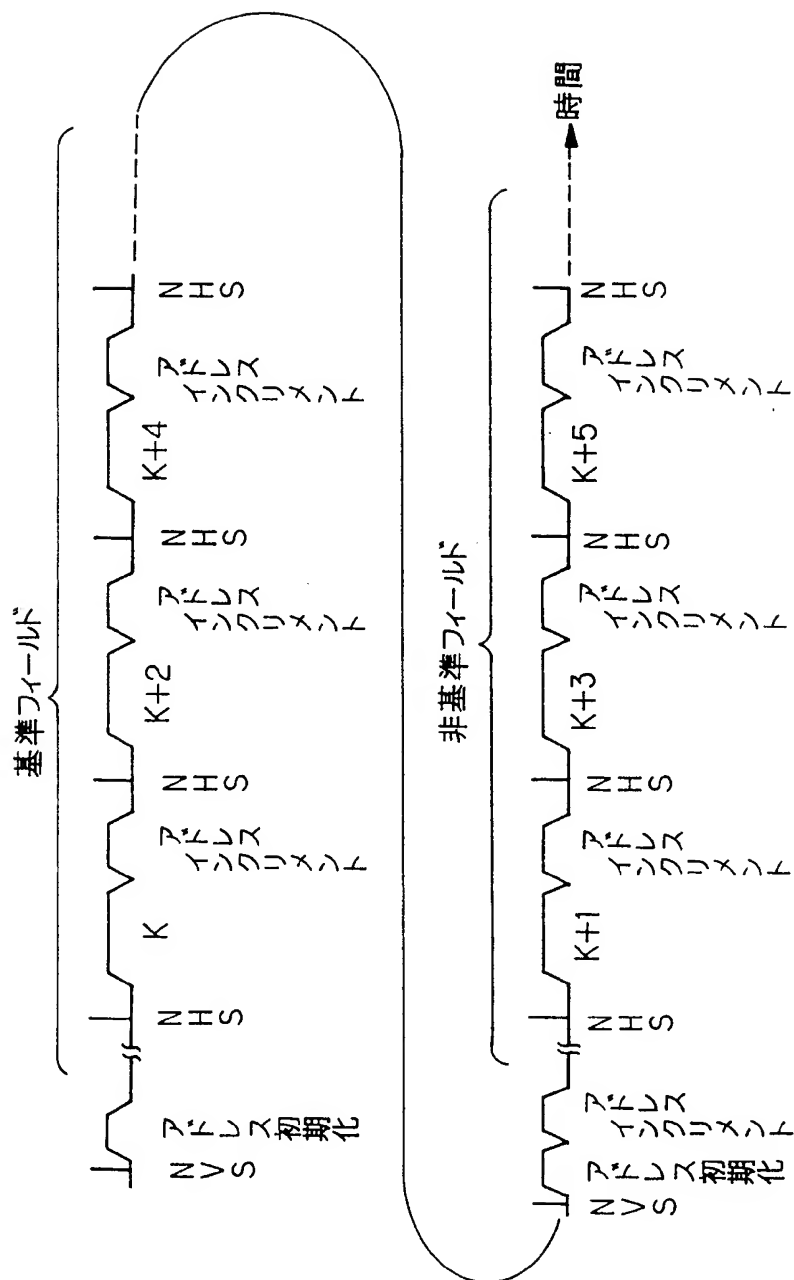
副画像での合成用抽出領域を示す図

図 13



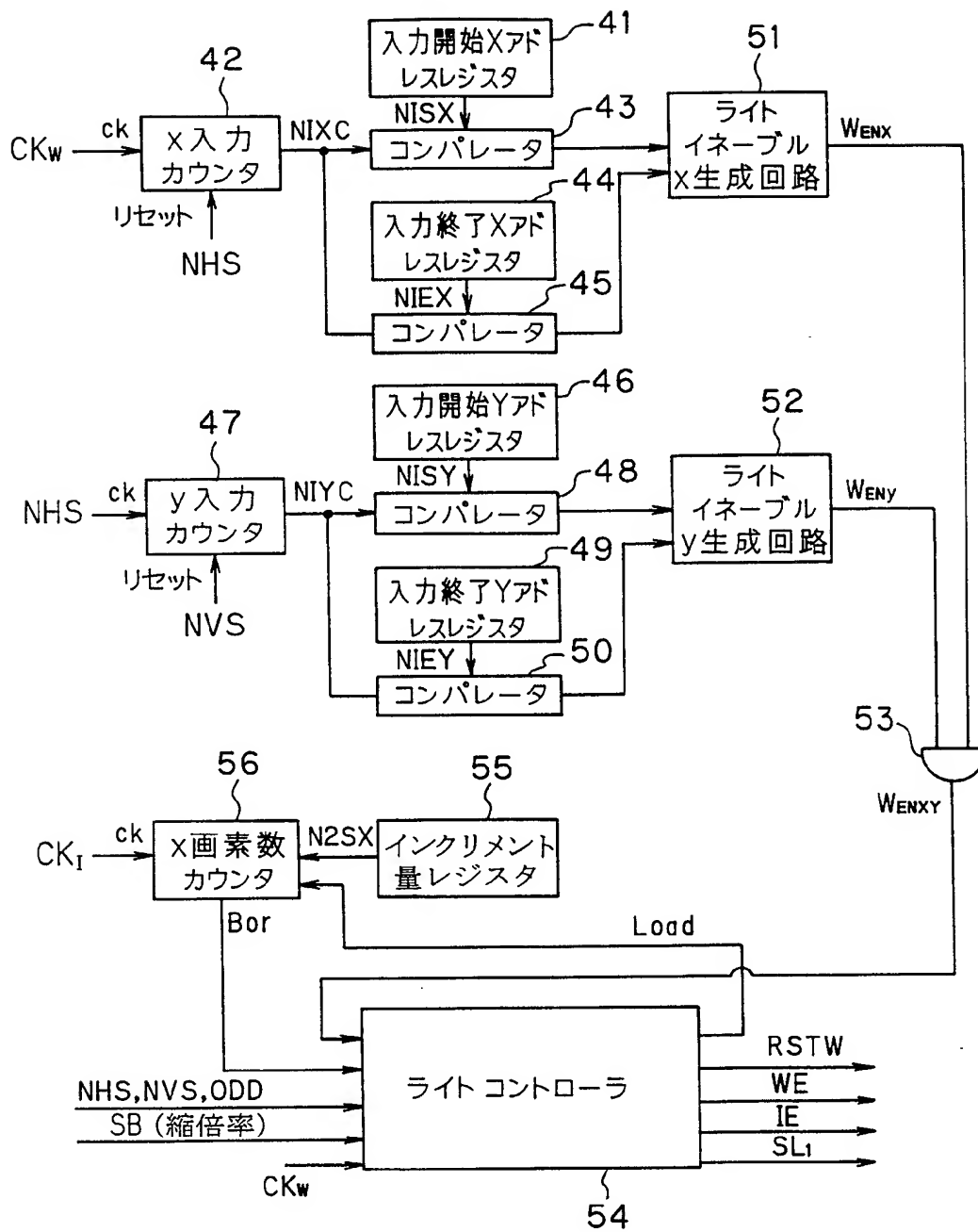
フレームメモリでの副画像記憶態様

図 14



副画像書き込み制御タイムチャート

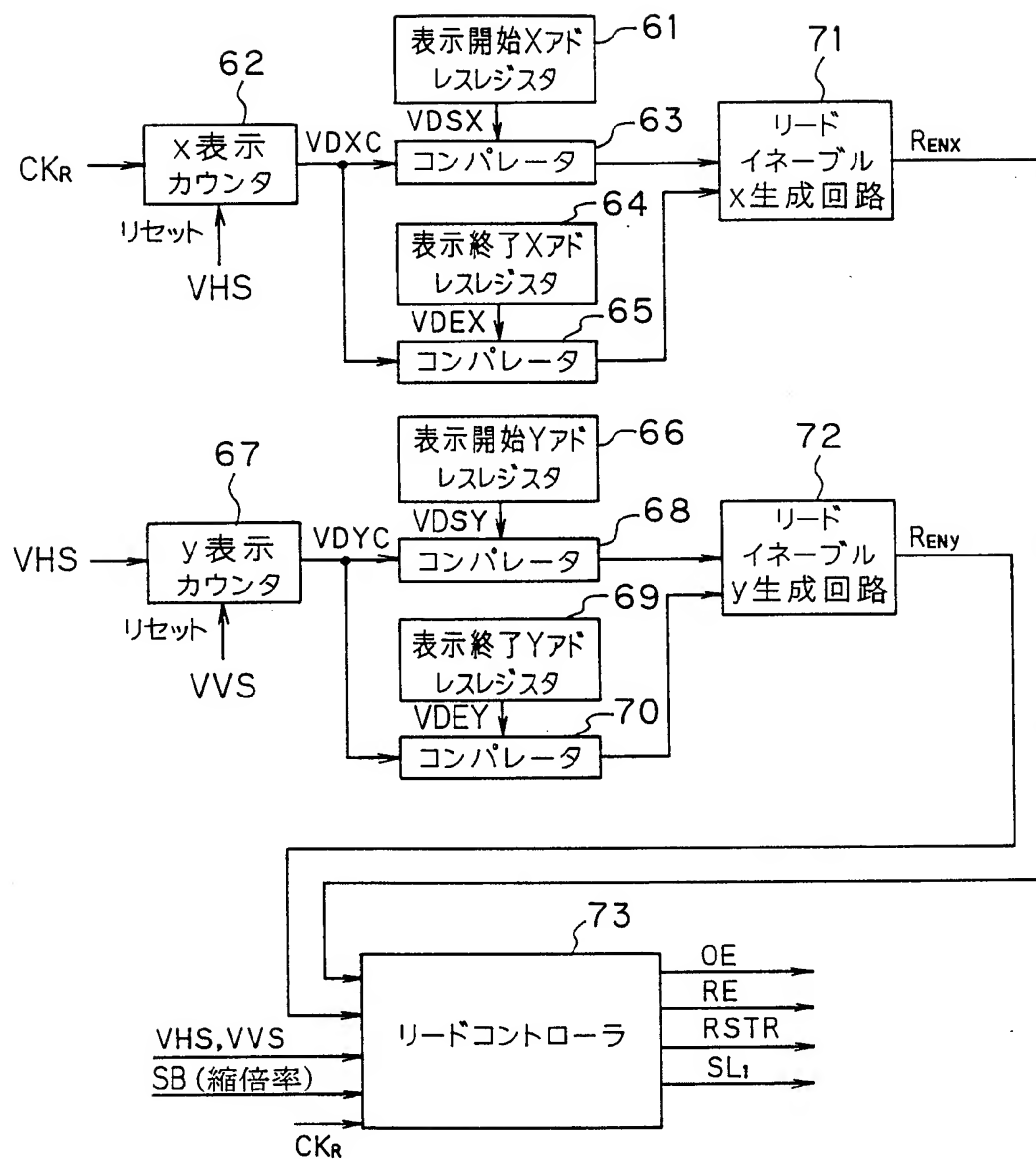
図15



コントローラ10内の書込み制御系

図 16

12/18



コントローラ10内の読出し制御系

図 17

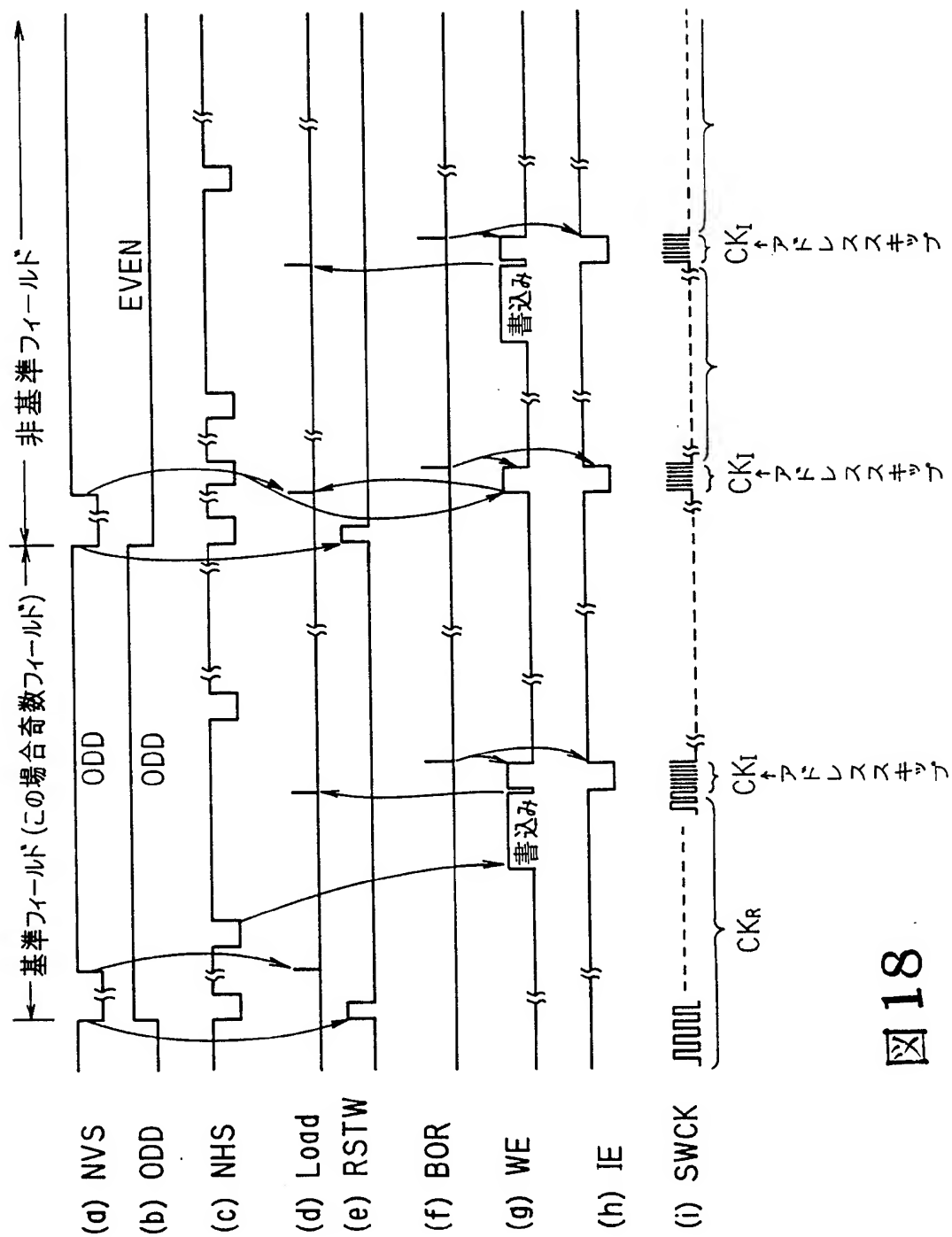
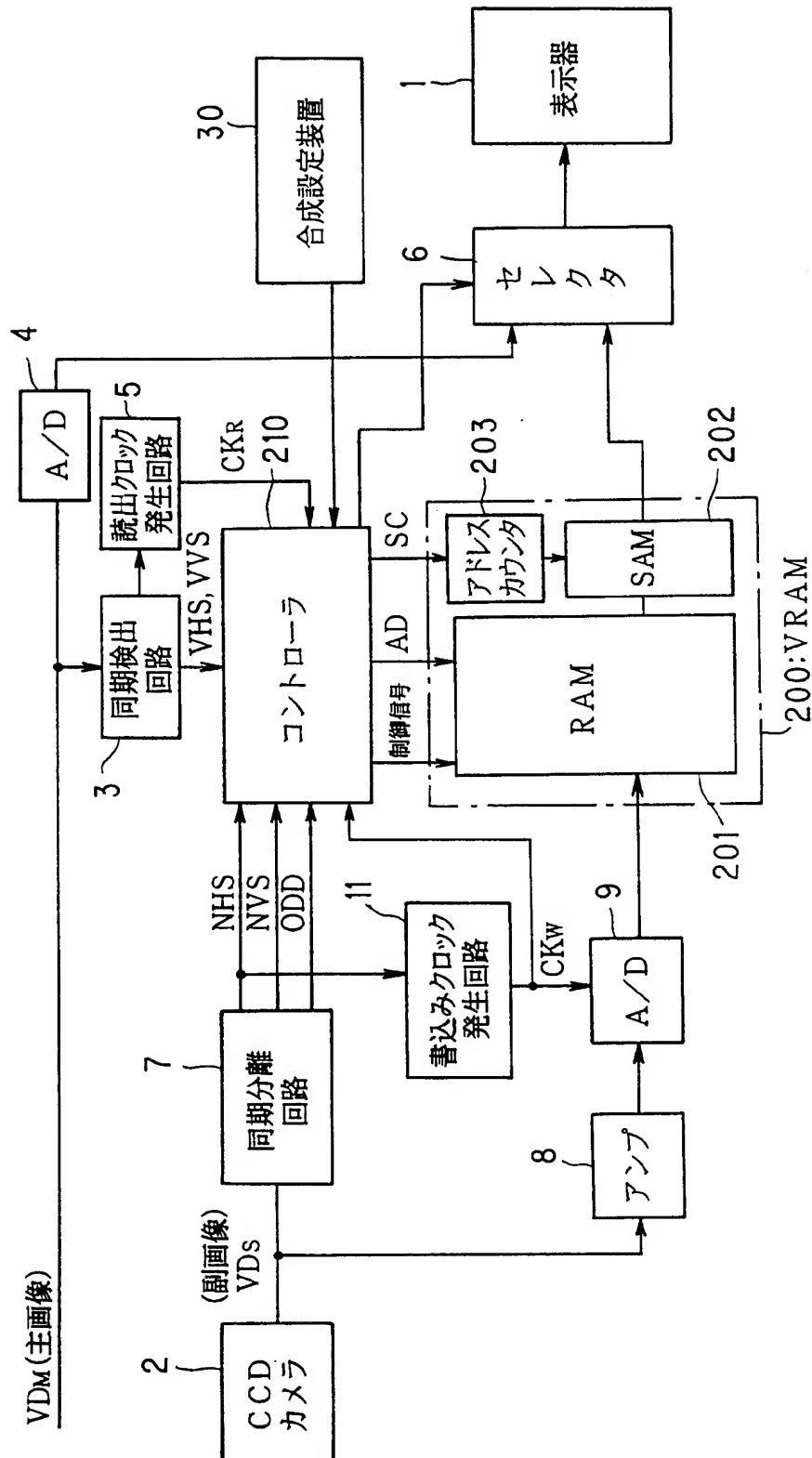
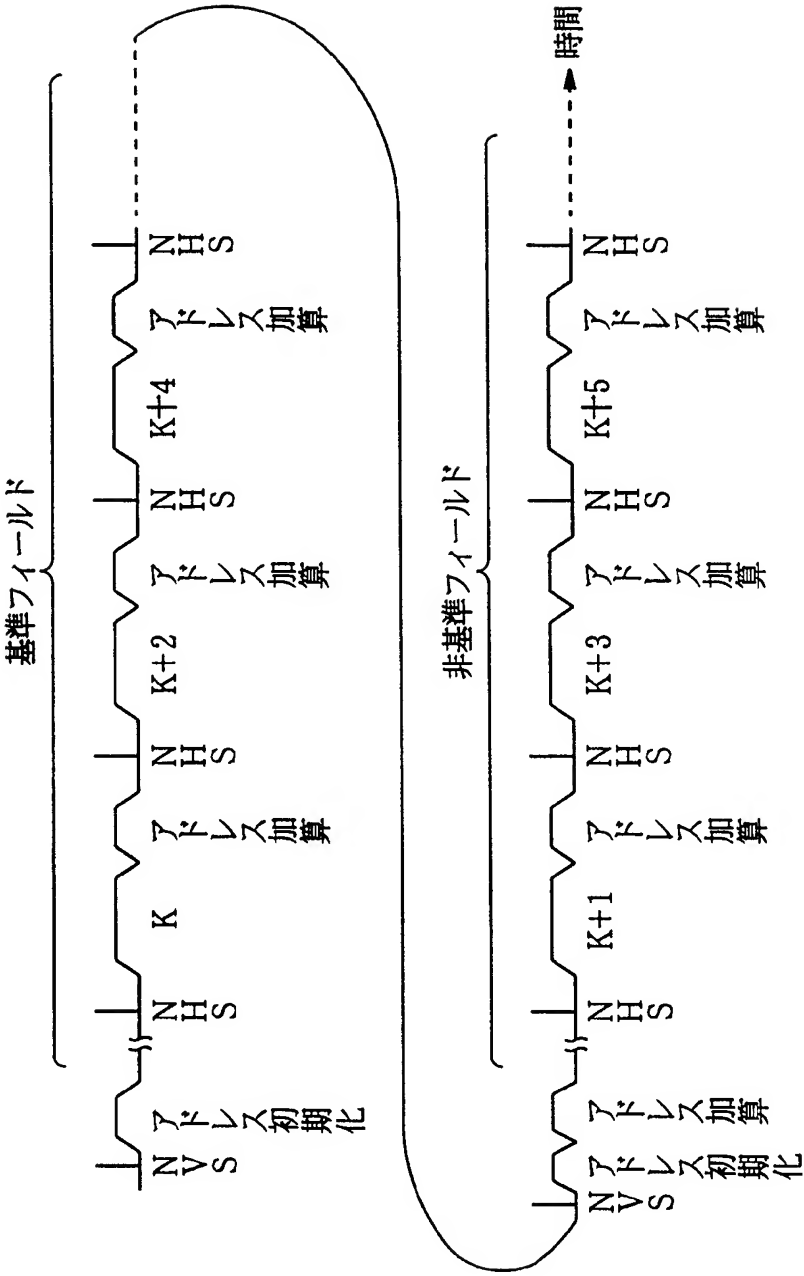


図18





61



インターレース副画像書き込み制御タイムチャート (等倍表示のとき)

図 20

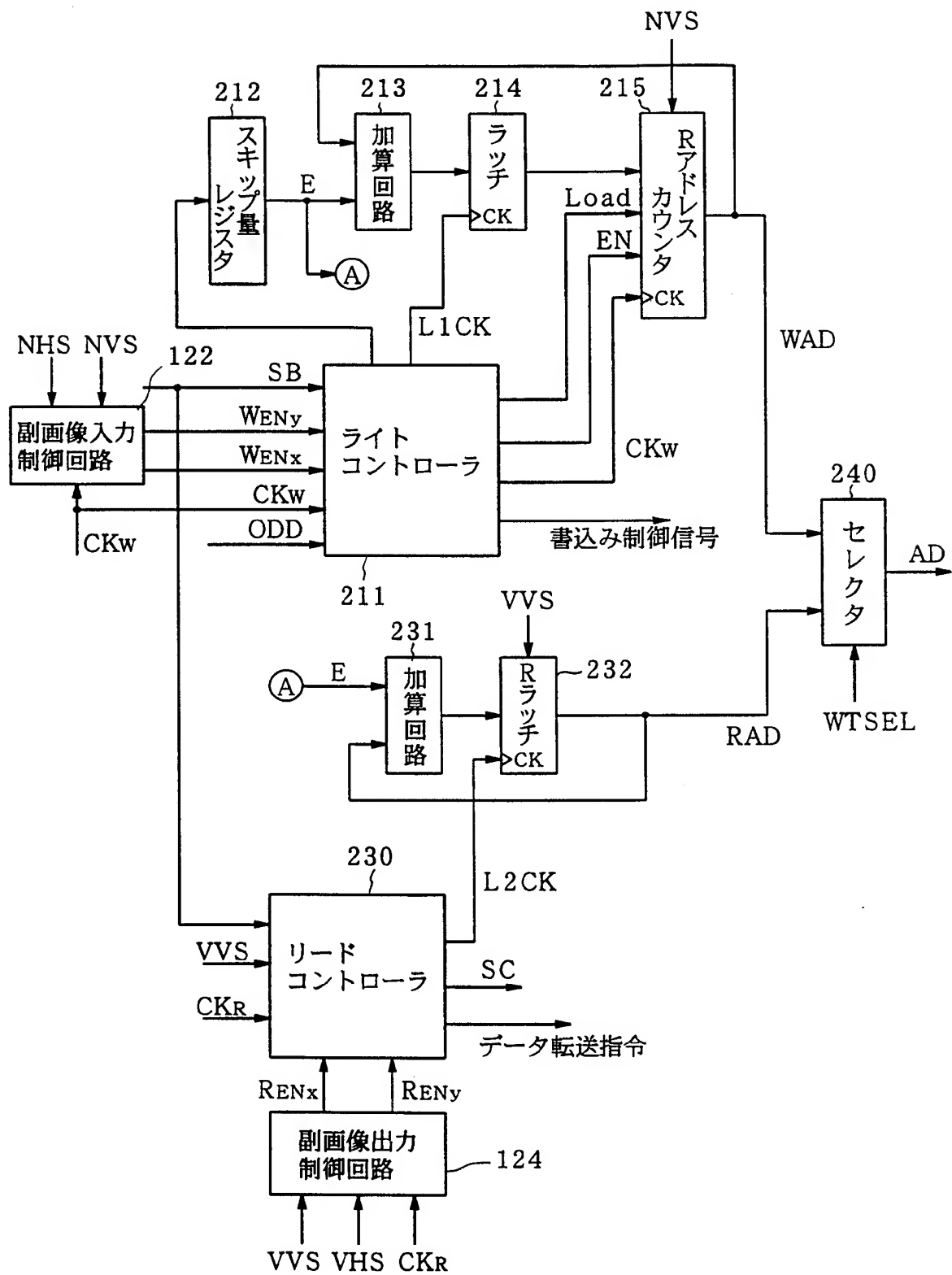
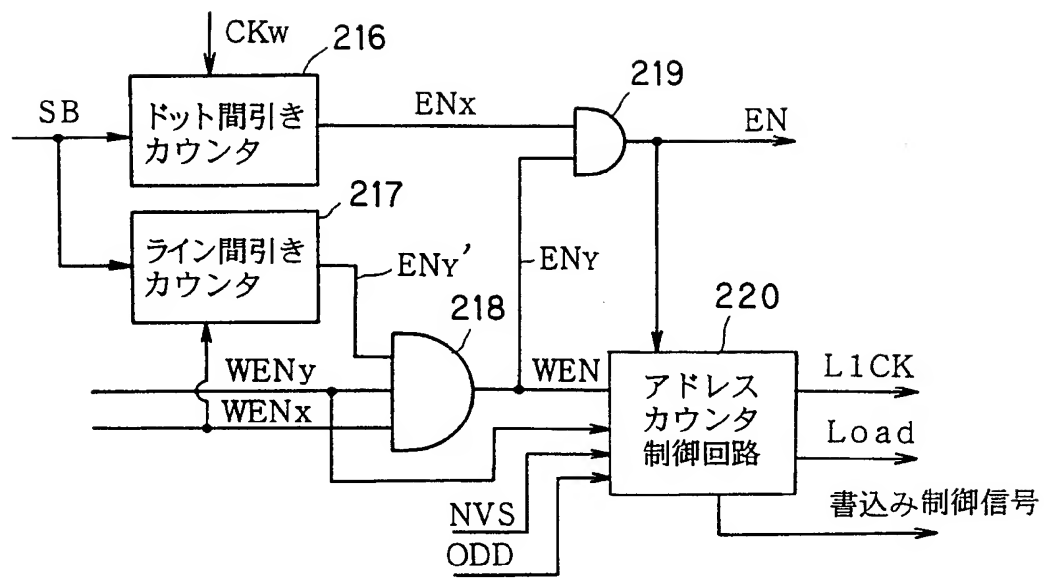


図 21



ライトコントローラ 211

図 22

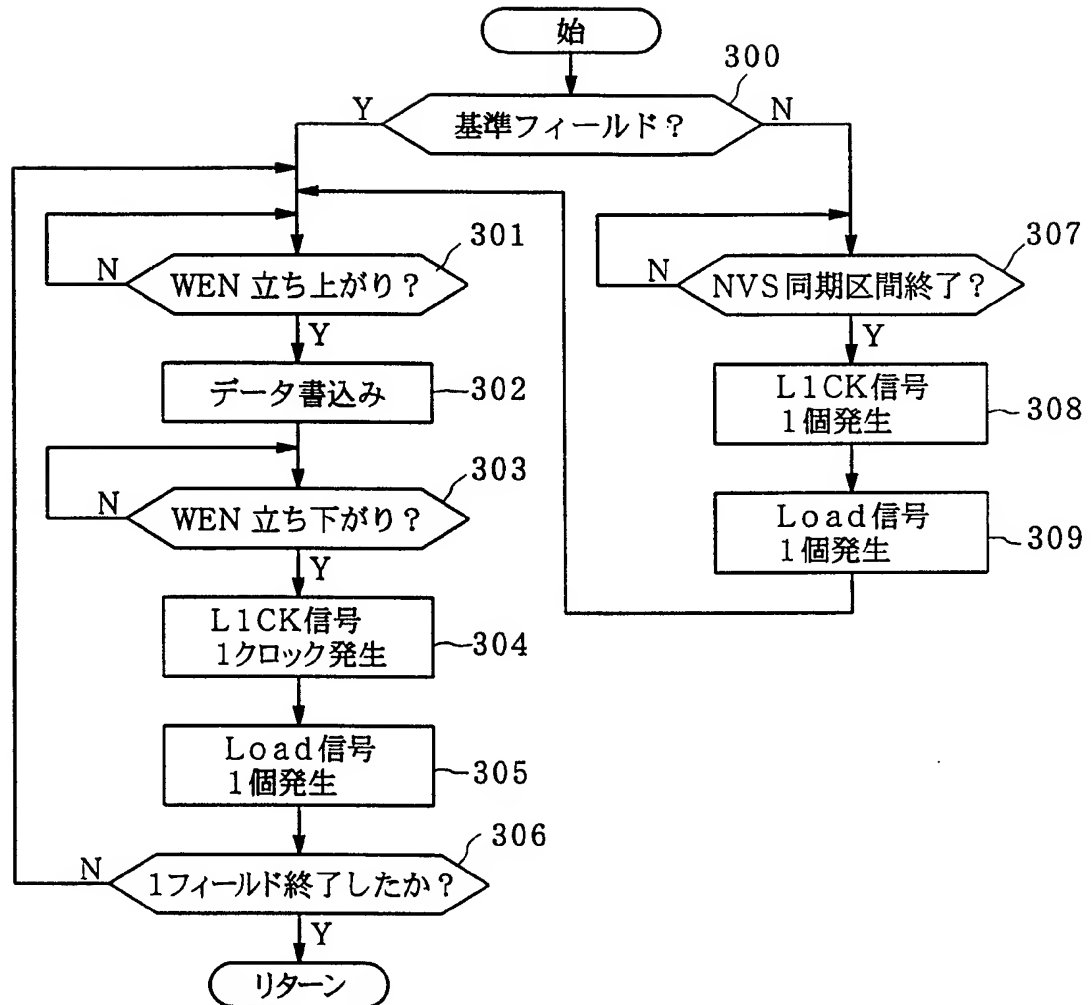


図 23

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP98/00978

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>6</sup> G09G5/14, H04N5/45

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> G09G5/14, H04N5/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1996  
Kokai Jitsuyo Shinan Koho 1971-1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 4-56891, A (Seiko Epson Corp.), February 24, 1992 (24. 02. 92) (Family: none)	1, 7-10, 12, 13
Y		2-6, 11, 14
Y	JP, 1-26891, A (Fujitsu Ltd.), January 30, 1989 (30. 01. 89) (Family: none)	2
Y	JP, 4-180373, A (Matsushita Electric Industrial Co., Ltd.), June 26, 1992 (26. 06. 92) (Family: none)	3, 4, 6, 11, 14
Y	JP, 63-123284, A (Sharp Corp.), May 27, 1988 (27. 05. 88) (Family: none)	5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
May 20, 1998 (20. 05. 98)

Date of mailing of the international search report  
June 2, 1998 (02. 06. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>°</sup> G 0 9 G 5 / 1 4 , H 0 4 N 5 / 4 5

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>°</sup> G 0 9 G 5 / 1 4 , H 0 4 N 5 / 4 5

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-1996年  
 日本国登録実用新案公報 1994-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 4-56891, A (セイコーエプソン株式会社) 24. 02月. 1992 (24. 02. 92) (ファミリーなし)	1, 7-10, 12, 13 2-6, 11, 14
Y	JP, 1-26891, A (富士通株式会社) 30. 01月. 1989 (30. 01. 89) (ファミリーなし)	2
Y	JP, 4-180373, A (松下電器株式会社) 26. 06月. 1992 (26. 06. 92) (ファミリーなし)	3, 4, 6, 11, 14
Y	JP, 63-123284, A (シャープ株式会社) 27. 05月. 1988 (27. 05. 88) (ファミリーなし)	5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

20. 05. 98

国際調査報告の発送日

02.06.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

月野 洋一郎

5 H

9472

電話番号 03-3581-1101 内線 3530